

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 10 月 6 日 (06.10.2005)

PCT

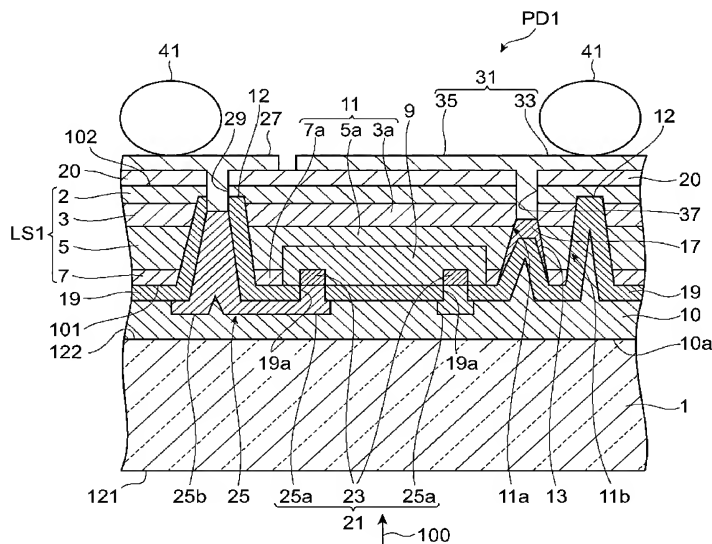
(10) 国際公開番号
WO 2005/093857 A1

- (51) 国際特許分類: H01L 31/10, 27/14, 27/146, 31/02 (72) 発明者; および
(21) 国際出願番号: PCT/JP2005/005759 (75) 発明者/出願人 (米国についてのみ): 田中 章雅
(22) 国際出願日: 2005 年 3 月 28 日 (28.03.2005) (TANAKA, Akimasa) [JP/JP]; 〒4358558 静岡県浜松
(25) 国際出願の言語: 日本語 市市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社
(26) 国際公開の言語: 日本語 内 Shizuoka (JP).
(30) 優先権データ: (74) 代理人: 長谷川 芳樹, 外(HASEGAWA, Yoshiki et al.);
特願2004-096060 2004 年 3 月 29 日 (29.03.2004) JP 〒1040061 東京都中央区銀座一丁目 1 0 番 6 号銀座
(71) 出願人 (米国を除く全ての指定国について): 浜松ホトニクス株式会社 (HAMAMATSU PHOTONICS K.K.)
ファーストビル 創英国際特許法律事務所 Tokyo (JP).
[JP/JP]; 〒4358558 静岡県浜松市市野町 1 1 2 6 番地
の 1 Shizuoka (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,

[続葉有]

(54) Title: SEMICONDUCTOR LIGHT DETECTING ELEMENT AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 半導体光検出素子及びその製造方法



(57) Abstract: A semiconductor light detecting element (PD1) is provided with a multilayer structure (LS1) and a glass board (1) which is optically transparent to incident light. The multilayer structure includes a stacked etching stopping layer (2), an n-type high concentration carrier layer (3), an n-type light absorbing layer (5) and an n-type cap layer (7). In the vicinity of a first main surface (101) of the multilayer structure, a light receiving region (9) is formed, and on the first main surface, a first electrode (21) is provided. On a second main surface (102), a second electrode (27) and a third electrode (31) are provided. On the first main surface, a film (10) which covers the light receiving region and the first electrode is formed. On a front surface (10a) of the film, the glass board (1) is fixed.

(57) 要約: 半導体光検出素子 (PD1) は、多層構造体 (LS1) と、入射光に対して光学的に透明なガラス基板 (1) とを備える。多層構造体は、積層されたエッチング停止層 (2)、n型の高濃度キャリア層 (3)、n型の光吸収層 (5)、及びn型のキャップ層 (7) を含んでいる。多層構造体の第1の主面 (101) 付近には受光領域 (9) が形成されており、第1の主面上には第1電極 (21) が設けら

[続葉有]



WO 2005/093857 A1



NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

れている。第2の主面(102)上には、第2電極(27)及び第3電極(31)が設けられている。第1の主面上には、受光領域及び第1電極を覆う膜(10)が形成されている。この膜の表面(10a)にはガラス基板(1)が固定されている。

明 細 書

半導体光検出素子及びその製造方法

技術分野

[0001] 本発明は、半導体光検出素子と、その製造方法とに関する。

背景技術

[0002] 近年、CPUの駆動周波数の高速化(例えば、10GHz以上)に伴い、システム装置内及び装置間の信号を光で伝送する光インターコネクション技術が着目されている。この光インターコネクション技術には、半導体光検出素子及び半導体発光素子といった光半導体素子が用いられる。

[0003] 光インターコネクション技術で用いられる半導体光検出素子では、外部基板への実装性を考慮すると、光検出素子から信号を取り出すための電極(信号電極)が光入射面とは反対側の面に配置されていることが好適である。このような半導体光検出素子の例は、特開平3-104287号公報、特開平6-296035号公報、および特開2002-353564号公報に開示されている。これらの公報は、半導体基板の一方の主面側に複数の化合物半導体層が形成され、他方の主面側から光が入射する裏面入射型の半導体光検出素子を開示している。

[0004] これらの裏面入射型の半導体光検出素子では、以下の目的で、受光部の下方に位置する基板中の部分を部分的に薄化するとともに、当該部分を囲むように基板厚みを維持した部分が形成されている。第1の目的は、半導体基板の光吸収による光信号劣化あるいは消失を防ぐことである。第2の目的は、半導体光検出素子を外部基板上にワイヤボンディングあるいはバンプボンディングにより実装する際に、半導体光検出素子がダメージを受ける、あるいは破損するのを防ぐことである。

[0005] しかしながら、上述した裏面入射型の半導体光検出素子では、機械的強度を保つため基板厚みを維持した部分が存在することから、半導体光検出素子の小型化には限界がある。特に、複数の受光部を併設して半導体光検出素子のアレイを形成する場合、受光部間のピッチを狭くすることが困難なため、光検出素子アレイのサイズが大きくならざるを得ない。

発明の開示

- [0006] 本発明は、十分な機械的強度を保ちつつ、小型化を図ることが可能な半導体光検出素子及びその製造方法を提供することを目的とする。
- [0007] 一つの側面において、本発明は、半導体光検出素子に関する。この光検出素子は、積層された複数の化合物半導体層を含み、互いに対向する第1及び第2の主面を有する多層構造体と、この多層構造体の内部において第1の主面付近に形成された受光領域と、多層構造体の第1の主面上に配置され、受光領域に電氣的に接続された第1電極と、多層構造体の第2の主面上に配置され、第1電極に電氣的に接続された第2電極と、多層構造体の第2の主面上に配置され、多層構造体のうち第2の主面付近の部分に電氣的に接続された第3電極と、多層構造体の第1の主面上に配置され、受光領域及び第1電極を覆い、入射光に対して光学的に透明な光透過層とを備えている。
- [0008] この光検出素子では、多層構造体に含まれる複数の化合物半導体層を薄くしても、多層構造体の機械的強度が光透過層により保たれる。また、上述した先行技術のように、基板厚みを維持した部分を形成する必要はなく、素子の小型化が容易である。
- [0009] また、この光検出素子では、出力信号を取り出すための第2及び第3電極が多層構造体の第2の主面上に配置されている。したがって、この光検出素子は、受光領域の反対側に位置する第2の主面を外部基板等の実装面に対向させた状態で実装することができる。この結果、光検出素子の実装を容易に行うことができる。
- [0010] また、光透過層は、酸化シリコンからなる膜と、ガラス基板とを含んでもよい。ガラス基板は、酸化シリコンからなる膜を介して、多層構造体に固定されていてもよい。酸化シリコンはガラスに融着させることができるので、多層構造体とガラス基板とを、他に接着剤を用いることなく接着することができる。そのため、ガラス基板側から入射した光は、接着剤により吸収されることなく多層構造体に到達し得る。
- [0011] 光透過層は、ガラス基板を含まずに、酸化シリコンまたは樹脂からなる膜を含んでもよい。
- [0012] 複数の化合物半導体層は、第1の導電型の高濃度キャリア層、第1の導電型の光

吸収層、及び第1の導電型のキャップ層を含んでいてもよい。受光領域は、少なくともキャップ層の一部を含む第2の導電型の領域であってもよい。

[0013] 多層構造体は、受光領域の周囲に形成された窪みと、その窪みの中に配置された配線電極とを更に有していてもよい。第1電極は、配線電極を介して第2電極に電氣的に接続されていてもよい。第3電極は、高濃度キャリア層のうち受光領域の付近に位置する部分に電氣的に接続されていてもよい。受光領域の周囲に形成された窪みによって、受光領域が少なくとも部分的に多層構造体の他の部分から分離されるので、寄生容量をより一層低減することができる。また、この窪みの中に配置した配線電極を、多層構造体を貫通する貫通電極として利用すれば、貫通電極の形成を極めて容易に行うことができる。また、貫通電極を用いることで、受光部の高濃度キャリア層から電極が直接引き出されるので、直列抵抗を大幅に低減することができる。

[0014] 本発明の光検出素子は、多層構造体を貫通する貫通配線を更に備えていてもよい。第1電極は、貫通配線を介して第2電極に電氣的に接続されていてもよい。第3電極は、高濃度キャリア層に電氣的に接続されていてもよい。この場合、貫通配線により、第1電極と第2電極との電氣的な接続を確実に行うことができる。また、高濃度キャリア層から電極が直接引き出されるので、直列抵抗を大幅に低減することができる。

[0015] 第2及び第3電極は、それぞれパッド電極を含んでおり、これらのパッド電極の各々の上にバンプ電極が配置されていてもよい。

[0016] 本発明に係る光検出素子は、多層構造体の第2の主面上に設けられ、受光領域を覆う光反射膜を更に備えていてもよい。吸収されずに多層構造体を通過した光が光反射膜で反射され、もう一度多層構造体に入射するので、多層構造体で吸収される光が増え、その結果、光感度をより一層向上することができる。

[0017] 光透過層は、入射光を集光するレンズ部を含んでいてもよい。この場合、入射光の照射範囲に比べて受光領域が小さい場合であっても、効率よく入射光を集光することができる。また、本発明に係る光検出素子は、並設された複数の上記受光領域を備えていてもよい。

[0018] 本発明の別の側面は、半導体光検出素子の製造方法に関する。この方法は、半導体基板を用意する工程と、半導体基板上に多層構造体を設ける工程であって、多層

構造体は、積層された複数の化合物半導体層を含み、互いに対向する第1および第2の主面を有しており、第2の主面が半導体基板に向けられている工程と、多層構造体の内部において第1の主面付近に受光領域を形成する工程と、受光領域に電氣的に接続された第1電極を、多層構造体の第1の主面上に設ける工程と、入射光に対して光学的に透明な光透過層を、受光領域及び第1電極を覆うように、多層構造体の第1の主面上に形成する工程と、光透過層を形成した後に、半導体基板を除去する工程と、半導体基板を除去した後に、第1電極に電氣的に接続された第2電極を、多層構造体の第2の主面上に形成すると共に、多層構造体のうち第2の主面付近の部分に電氣的に接続された第3電極を第2の主面上に形成する工程とを備えている。

[0019] 多層構造体の第1の主面上に光透過層を形成した後に、半導体基板を除去するので、出力信号を取り出すための第2および第3電極の反対側に光透過層が配置された半導体光検出素子を容易に製造することができる。

[0020] また、半導体基板が除去された後も光透過層は残るので、多層構造体に含まれる複数の化合物半導体層を薄くしても、多層構造体の機械的強度が光透過層により保たれることとなる。上述した先行技術のように、基板厚みを維持した部分を残す必要はなく、したがって、素子の小型化が容易である。なお、光透過層を形成する前は、半導体基板により機械的強度が保たれることとなる。

[0021] 光透過層を形成する工程は、受光領域及び第1電極を覆うように、酸化シリコンからなる膜を形成する工程と、酸化シリコンからなる膜に、入射光に対して光学的に透明なガラス基板を固定する工程とを含んでもよい。酸化シリコンはガラスに融着させることができるので、多層構造体とガラス基板とを、他に接着剤を用いることなく接着することができる。そのため、ガラス基板側から入射した光は、接着剤により吸収されることなく多層構造体に到達し得る。

[0022] 光透過層を形成する工程は、受光領域及び第1電極を覆うように、酸化シリコンまたは樹脂からなる膜を形成する工程を含んでもよい。

[0023] 半導体基板を除去する工程は、半導体基板をウェットエッチングにより除去する工程を含んでもよい。多層構造体を形成する工程は、ウェットエッチングを停止させ

るエッチング停止層を半導体基板と複数の化合物半導体層との間に形成する工程を含んでいてもよい。半導体基板をエッチングでき、かつエッチング停止層をエッチングできないエッチング液を用いることで、半導体基板を選択的に除去できる。そのため、複数の化合物半導体層を残して半導体基板を確実にかつ容易に除去できる。

[0024] 本発明に係る方法は、半導体基板を除去した後に、エッチング停止層をウェットエッチングにより除去する工程を更に備えていてもよい。エッチング停止層をエッチングでき、かつ化合物半導体層をエッチングできないエッチング液を用いることで、エッチング停止層だけを選択的に除去できる。そのため、複数の化合物半導体層を残してエッチング停止層を確実にかつ容易に除去できる。

[0025] 複数の化合物半導体層は、第1の導電型の高濃度キャリア層、第1の導電型の光吸収層、及び第1の導電型のキャップ層を含んでいてもよい。多層構造体を形成する工程は、半導体基板上に高濃度キャリア層、光吸収層及びキャップ層を順次に積層する工程を含んでいてもよい。受光領域を形成する工程は、当該受光領域として、少なくともキャップ層の一部を含む第2の導電型の領域を形成する工程を含んでいてもよい。

[0026] この方法は、受光領域の周囲に窪みを形成する工程と、第1電極を第2電極に電気的に接続する配線電極を窪みの中に設ける工程とを更に備えていてもよい。第3電極を形成する工程は、第3電極が、高濃度キャリア層のうち受光領域の付近に位置する部分に電気的に接続されるように第3電極を形成する工程を含んでいてもよい。受光領域の周囲に形成された窪みによって、受光領域が少なくとも部分的に多層構造体の他の部分から分離されるので、寄生容量をより一層低減することができる。また、この窪みの中に配置した配線電極を、多層構造体を貫通する貫通電極として利用すれば、貫通電極の形成を極めて容易に行うことができる。

[0027] 第2電極を形成する工程は、多層構造体を貫通する貫通配線を形成し、当該貫通配線を介して第1電極を第2電極に電気的に接続する工程を含んでいてもよい。第3電極を形成する工程は、第3電極が高濃度キャリア層に電気的に接続されるように第3電極を形成する工程を含んでいてもよい。この場合、貫通配線により、第1電極と第2電極との電気的な接続を確実に行うことができる。また、高濃度キャリア層から電極

が直接引き出されるので、直列抵抗を大幅に低減することができる。

[0028] 本発明に係る方法は、多層構造体の第2の主面上に、受光領域を覆う光反射膜を形成する工程を更に備えていてもよい。この場合、吸収されずに多層構造体を通過した光が光反射膜で反射され、もう一度光吸収層に入射するので、多層構造体で吸収される光が増え、その結果、光感度を向上することができる。

[0029] 光透過層は、入射光を集光するレンズ部を含んでいてもよい。この場合、入射光の照射範囲に比べて受光領域が小さい場合であっても、効率よく入射光を集光することができる。

[0030] 本発明の理解は、下記の詳細な説明と添付図面によって更に深まる。なお、添付図面は例示に過ぎず、本発明の範囲を限定することを意図したものではない。

図面の簡単な説明

[0031] [図1]第1実施形態に係る半導体光検出素子を示す概略平面図である。

[図2]図1におけるII-II線に沿った概略断面図である。

[図3]第1実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

[図4]第1実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

[図5]第1実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

[図6]第1実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

[図7]第1実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

[図8]第1実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

[図9]第1実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

[図10]第1実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図11]第1実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図12]第1実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図13]第1実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図14]第1実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図15]第1実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図16]第2実施形態に係る半導体光検出素子を示す概略断面図である。

[図17]第2実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図18]第3実施形態に係る半導体光検出素子を示す概略断面図である。

[図19]第3実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図20]第3実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図21]第4実施形態に係る半導体光検出素子を示す概略断面図である。

[図22]第4実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図23]第4実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図24]第5実施形態に係る半導体光検出素子を示す概略平面図である。

[図25]図24に示される半導体光検出素子のXXV－XXV線に沿った概略断面図である。

[図26]第5実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図27]第5実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図28]第5実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図29]第5実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図30]第5実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図31]第5実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図32]第5実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図33]第6実施形態に係る半導体光検出素子の概略断面図である。

[図34]第6実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図35]第7実施形態に係る半導体光検出素子の概略断面図である。

[図36]第7実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図37]第7実施形態に係る半導体光検出素子の製造工程を示す概略断面図である。

。

[図38]第8実施形態に係る半導体光検出素子の概略断面図である。

[図39]実施形態に係る半導体光検出素子アレイの概略断面図である。

[図40]実施形態に係る半導体光検出素子アレイの概略断面図である。

[図41]実施形態に係る光インターコネクションシステムの構成を示す概略図である。

符号の説明

- [0032] 1:ガラス基板、121a:レンズ部、2:エッチング停止層、3(3a):高濃度キャリア層、5(5a):光吸収層、7(7a):キャップ層、9:受光領域、10:膜、11:受光部、12:窪み、17:コンタクト電極、21:第1電極、23:コンタクト電極、25:第1配線電極、27:第1パッド電極(第2電極)、31:第3電極、33:第2パッド電極、35:第2配線電極、41:バンプ電極、51:半導体基板、60:膜、131a:レンズ部、71:コンタクト電極、73:貫通配線、81:第3電極、83:コンタクト電極、LS1, LS2:層構造体、PD1~PD8:半導体光検出素子、PDA1, PDA2:半導体光検出素子アレイ。

発明を実施するための最良の形態

- [0033] 本発明の実施形態に係る半導体光検出素子について図面を参照して説明する。

なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。

[0034] 第1実施形態

図1は、第1実施形態に係る半導体光検出素子を示す概略平面図である。図2は、図1におけるII-II線に沿った概略断面図である。なお、図1においては、バンプ電極41の図示を省略している。

[0035] 半導体光検出素子PD1は、多層構造体LS1と、ガラス基板1とを備えている。ガラス基板1は、互いに対向する二つの主面、すなわち表面121と裏面122を有している。多層構造体LS1は、ガラス基板1の裏面122上に設けられている。この半導体光検出素子PD1は、光がガラス基板1側から多層構造体LS1に入射する表面入射型の光検出素子である。半導体光検出素子PD1は、例えば波長帯0.85 μm の近距離光通信用光検出素子である。

[0036] 多層構造体LS1は、順次に積層されたエッチング停止層2、n型(第1導電型)の高濃度キャリア層3、n型の光吸収層5、及びn型のキャップ層7を含んでいる。多層構造体LS1は、互いに対向する二つの主面、すなわち表面101および裏面102を有している。表面101上には、後述するパッシベーション膜19が形成されており、裏面102上には、電気絶縁膜(パッシベーション膜)20が形成されている。電気絶縁膜20は、例えば SiN_x からなり、厚みが0.2 μm 程度である。

[0037] 多層構造体LS1は、受光部11と、受光部11を囲む窪み12とを有している。受光部11は、n型の高濃度キャリア層3a、n型の光吸収層5a及びn型のキャップ層7aを含んでおり、メサ状(本実施形態においては、円錐台状)とされている。受光部11は、p型(第2導電型)の受光領域9を有している。この受光領域9は、少なくともキャップ層7aの一部を含んでいる。本実施形態では、キャップ層7aおよび光吸収層5の一部が受光領域9に含まれている。受光部11の頂部、及び、受光領域9は、光入射方向から見て、円形状になっている。

[0038] 受光部11の頂部には、光入射方向から見て受光領域9の外側に、窪み13が形成されている。窪み13は、高濃度キャリア層3aに達し、受光領域9を囲むように溝状に形成されている。このように、受光部11は、受光領域9を含むメサ状の内側部分11a

と、当該内側部分11aを囲む外側部分11bとを含んでいる。窪み13は、光入射方向から見て、受光領域9の縁に沿い、なおかつ受光部11の頂部の一部を残すようにCの字状に形成されている。

[0039] 窪み13の底部には、コンタクト電極17が配置されている。このコンタクト電極17は、高濃度キャリア層3aと電氣的に接続されている。コンタクト電極17はAu-Ge/Ni/Auの積層体からなり、その厚みは1000nm程度である。コンタクト電極17も、窪み13と同様に、光入射方向から見てCの字状に形成されている。

[0040] 受光部11の表面、すなわち多層構造体LS1の表面101には、受光領域9を覆うようにパッシベーション膜19が形成されている。パッシベーション膜19は、例えばSiN_xからなる。本実施形態において、パッシベーション膜19は反射防止膜として機能する。このため、パッシベーション膜19の厚みは、パッシベーション膜19の屈折率をnとし、受光波長を λ とすると、 $\lambda / (4n)$ に設定されている。例えば、波長帯0.85 μ mの近距離光通信用光検出素子の場合、パッシベーション膜19の厚みは、1000～3000 Åとなる。なお、パッシベーション膜19とは別に、受光領域9を覆うように反射防止膜を形成してもよい。

[0041] 高濃度キャリア層3および3aは、化合物半導体層であって、例えばキャリア濃度が $1 \times 10^{18} / \text{cm}^3$ 程度のAlGaAs (Al組成0.3)からなる。高濃度キャリア層3および3aの厚みは2 μ m程度である。

[0042] 光吸収層5および5aは、化合物半導体層であり、例えばキャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 程度のGaAsからなる。光吸収層5および5aの厚みは3 μ m程度である。

[0043] キャップ層7および7aは、化合物半導体層であり、例えばキャリア濃度が $5 \times 10^{15} / \text{cm}^3$ 程度のAlGaAs (Al組成比0.3)からなる。キャップ層7および7aの厚みは0.3 μ m程度である。キャップ層7および7aのAl組成比は0.3以上とするのが好ましい。波長0.85 μ m以上の光を検出するのであればAl組成比xは0.04あれば十分であるが、より好適には、Al組成比が0.3以上であることが好ましい。ただし、キャップ層7および7aのAl組成比は、検出する光の波長に応じて適宜決定してよい。例えば、波長0.65 μ mの短波長光を検出するのであれば、Al組成比は0.4以上が必要となる。

- [0044] 受光領域9は、多層構造体LS1の表面101に設けられている。この受光領域9は、キャップ層7aの所望の領域にp型不純物(例えば、Zn)を熱拡散させ、当該領域をp型に反転させることにより形成される。受光領域9の深さは、 $0.4\mu\text{m}$ 程度であり、受光領域9の径は、 $5\sim 200\mu\text{m}\phi$ である。窪み(溝)13の幅は、 $5\mu\text{m}$ 程度である。ただし、受光径は、光検出素子に求められる特性に依存し、 $1\mu\text{m}\sim 10\text{mm}$ までの広い範囲で設計可能である。
- [0045] 多層構造体LS1の表面101上には、第1電極21が配置されている。第1電極21は、コンタクト電極23と、後述する電極部分25aとを含んでいる。コンタクト電極23は、受光領域9の表面上に環状に形成されており、受光領域9と電氣的に接続されている。コンタクト電極23はTi/Pt/Auからなり、その厚みは 1000nm 程度である。なお、コンタクト電極23は、図2において、キャップ層7a中の受光領域9に埋め込まれるように配置されているが、これに限られることなく、キャップ層7aおよび受光領域9上に配置されていてもよい。
- [0046] コンタクト電極23には、第1配線電極25が電氣的に接続されている。第1配線電極25は、受光部11および窪み12を部分的に覆い、パッシベーション膜19の上に配置されている。第1配線電極25は、受光部11の頂部上に配置される電極部分25aと、窪み12内に配置される電極部分25bとを有している。第1配線電極25はTi/Pt/Auからなり、その厚みは $1.5\mu\text{m}$ 程度である。受光部11上に位置する電極部分25aは、受光領域9の少なくとも一部が露出するようにコンタクト電極23上に配置され、環状となっている。電極部分25aは、パッシベーション膜19に形成されたコンタクトホール19aを通してコンタクト電極23に接続されている。
- [0047] 多層構造体LS1の裏面102上には、第2電極として、第1パッド電極27が配置されている。第1パッド電極27はTi/Pt/Auからなり、その厚みは $1.5\mu\text{m}$ 程度である。第1パッド電極27は、電気絶縁膜20、エッチング停止層2及びパッシベーション膜19を貫通するコンタクトホール29を介して第1配線電極25(電極部分25b)に電氣的に接続される。この結果、コンタクト電極23は、第1配線電極25を介して第1パッド電極27に電氣的に接続されることとなる。第1パッド電極27には、バンプ電極41が配置される。

- [0048] また、多層構造体LS1の裏面102上には、第3電極31が配置されている。第3電極31は、第2パッド電極33と、第2配線電極35とを含んでいる。第2パッド電極33及び第2配線電極35はTi/Pt/Auからなり、その厚みは $1.5\mu\text{m}$ 程度である。第2パッド電極33は、電気絶縁膜20、エッチング停止層2及び高濃度キャリア層3を貫通するコンタクトホール37を介して高濃度キャリア層3a及びコンタクト電極17に電氣的に接続される。第2配線電極35は、受光領域9の裏面の下方において当該裏面を覆うように形成されており、光反射膜として機能する。なお、第2配線電極35とは別に、受光領域9の下方に光反射膜を形成してもよい。第1パッド電極27と同じく、第2パッド電極33上には、バンプ電極41が配置される。
- [0049] 受光領域9からの電極の取り出しは、コンタクト電極23、第1配線電極25、第1パッド電極27及びバンプ電極41により実現される。高濃度キャリア層3aからの電極の取り出しは、コンタクト電極17、第2パッド電極33及びバンプ電極41により実現される。
- [0050] 多層構造体LS1の表面101上には、受光領域9及び第1電極21（コンタクト電極23及び第1配線電極25の電極部分25a）を覆うように膜10が形成されている。膜10は、酸化シリコン(SiO_2)からなり、入射光に対して光学的に透明である。膜10のうち多層構造体LS1と反対側の面10aは、平坦化されている。膜10の厚みは、 $3\sim 10\mu\text{m}$ 程度である。
- [0051] ガラス基板1は、膜10の面10aに接触して貼り合わされている。ガラス基板1は、その厚みが 0.3mm 程度であり、入射光に対して光学的に透明である。
- [0052] 以下では、図3～図15を参照しながら、半導体光検出素子PD1の製造方法を説明する。図3～図15は、この製造方法を説明するための図であり、半導体光検出素子PD1の縦断面を示している。本製造方法では、以下の工程(1)～(13)を順次に実行する。
- [0053] 工程(1)
- まず、半導体基板51を用意する。半導体基板51は、例えば、その厚みが $300\sim 500\mu\text{m}$ であり、キャリア濃度が $1\times 10^{18}/\text{cm}^3$ 程度のn型GaAsからなる。半導体基板51の一方の主面（表面）111上に、ハイドライド気相成長法、クロライド気相成長法、有機金属化学気相蒸着(MOCVD)法又は分子線成長(MBE)法等により、バッファ

層53及びエッチング停止層2を順次に成長させて、積層する(図3参照)。その後、エッチング停止層2の上に、ハイドライド気相成長法、クロライド気相成長法、MOCVD法又はMBE法等により、n型の高濃度キャリア層3、n型の光吸収層5及びn型のキャップ層7を順次に成長させて、積層する(図3参照)。

[0054] バッファ層53は、ノンドープのGaAsからなり、その厚みは $0.05\mu\text{m}$ 程度である。エッチング停止層2は、ノンドープのAlGaAs (Al組成0.5)からなり、その厚みは $1.0\mu\text{m}$ 程度である。エッチング停止層2は、半導体基板51と高濃度キャリア層3との間に位置するように形成されることとなる。エッチング停止層2のAl組成比は0.4以上とするのが好ましい。Al組成比が0.4以上のAlGaAsは、後述するGaAsをエッチングする際に使用されるエッチング液によってエッチングされにくいためである。

[0055] 上記工程(1)により、多層構造体LS1及びバッファ層53が半導体基板51の表面11上に形成されることとなる。

[0056] 工程(2)

次に、キャップ層7上に、 SiO_2 又は SiN_x からなる膜55を形成する。そして、膜55をパターニングし、受光領域9を形成する予定の位置に開口55aを設ける(図4参照)。その後、パターニングされた膜55をマスクとして使用して、キャップ層7に不純物(例えば、Zn)を熱拡散させ、キャップ層7の一部分の導電型をp型に反転する。このようにして、多層構造体LS1の内部において、半導体基板51から遠い方の表面101の付近に受光領域9が形成される(図4参照)。この後、膜55をバッファードフッ酸(BHF)により除去する。

[0057] 工程(3)

次に、窪み13を形成する予定の位置に開口56aを有するレジスト膜56をキャップ層7上に形成する。レジスト膜56は、フォトリソグラフィ法を用いて形成することができる。そして、レジスト膜56をマスクとして使用し、 Br_2 とメタノールとの混合液により高濃度キャリア層3が露出するまでエッチング(ウェットエッチング)を行う。これにより、窪み13が形成されることとなる(図5参照)。続いて、レジスト膜56を除去する。

[0058] 工程(4)

次に、窪み12を形成する予定の位置に開口57aを有するレジスト膜57をキャップ

層7上に形成する。レジスト膜57は、フォトリソグラフィ法を用いて形成することができる。そして、レジスト膜57をマスクとして使用して、 Br_2 とメタノールとの混合液によりエッチング停止層2が露出するまでエッチング(ウェットエッチング)を行い、窪み12を形成する。これにより、受光部11がメサ状に形成される(図6参照)。すなわち、受光部11が高濃度キャリア層3a、光吸収層5a及びキャップ層7aを含むこととなる。このとき、外側部分11bの上方にレジスト膜57を配置することにより、深さ方向だけでなく横方向へのエッチングの進行を適切に制御することができ、それにより、窪み13の形成、及び、受光部11の形成を適切に行うことができる。この結果、半導体光検出素子PD1を製造する際の歩留まりを高くすることができる。この後、レジスト膜57を除去する。

[0059] 工程(5)

次に、窪み13に対応する位置に開口を有するレジスト膜(図示せず)を形成する。そして、窪み13の形成によって露出した高濃度キャリア層3(3a)上に、このレジスト膜をマスクとして使用する蒸着とリフトオフ法とによって、 Au-Ge/Ni/Au からなるコンタクト電極17を形成する(図7参照)。また、コンタクト電極23を形成する予定の位置に開口を有するようにレジスト膜を再度形成し直し、当該レジスト膜をマスクとして使用して、蒸着とリフトオフ法とにより Ti/Pt/Au からなるコンタクト電極23を受光領域9に形成する(図7参照)。続いて、上記レジスト膜を除去する。なお、コンタクト電極23は、図7において、キャップ層7a中の受光領域9に埋め込まれるように形成されているが、これに限られることなく、キャップ層7aおよび受光領域9の表面上に形成されてもよい。

[0060] 工程(6)

次に、PCVD法により、多層構造体LS1の表面101上に SiN_x からなるパッシベーション膜19を形成する。そして、コンタクト電極17、23の上方に位置する開口を有するレジスト膜(図示せず)を形成し、当該レジスト膜をマスクとして使用して、パッシベーション膜19にコンタクトホール19aを形成する(図8参照)。続いて、レジスト膜を除去する。

[0061] 工程(7)

次に、第1配線電極25に対応する位置に開口を有するレジスト膜(図示せず)を形

成する。そして、このレジスト膜をマスクとして使用して、リフトオフ法により、Ti/Pt/Auからなる第1配線電極25を形成する(図9参照)。上記工程(6)及び(7)により、多層構造体LS1の表面101側に第1電極21が形成されることとなる。続いて、レジスト膜を除去する。その後、 H_2 雰囲気下でシンタリングを行う。

[0062] 工程(8)

次に、受光領域9及び第1電極21を覆うように、多層構造体LS1の表面101上に膜10を形成して平坦化する(図10参照)。ここでは、膜10のうち多層構造体LS1の反対側に位置する面10aが、多層構造体LS1及び半導体基板51を含む構造体の表面として、平坦化されることとなる。膜10は、プラズマ化学気相蒸着(Plasma Chemical Vapor Deposition: PCVD)法又は塗布法を用いて形成することができる。なお、ここで言う「平坦」とは、必ずしも凹凸が全く存在しないことを意味するものではない。後述する工程(9)において膜10を介してガラス基板1と半導体基板51とを重ね合わせ、両者を加圧及び加熱することにより、ガラス基板1の表面と膜10の面10aとが互いに接触した状態でガラス基板1と膜10とが融着するのであれば、僅かな凹凸が存在していてもよい。

[0063] 工程(9)

次に、多層構造体LS1、バッファ層53及び膜10が形成された半導体基板51にガラス基板1を接着する(図11参照)。まず、ガラス基板1を用意し、当該ガラス基板1の一方の主面(裏面)122を清浄化する。次に、ガラス基板1の清浄化された裏面122と膜10の面10aとが接触するように、ガラス基板1と半導体基板51とを重ね合わせる。続いて、重ね合わせたガラス基板1と半導体基板51を加圧及び加熱し、ガラス基板1と膜10とを互いに融着させて貼り合わせる。

[0064] 具体的には、重ね合わせたガラス基板1と半導体基板51に加える圧力は約98kPaであり、加熱温度は500～700℃が好ましい。半導体基板51上の最上膜10は酸化シリコンより成るので、このような条件で加圧及び加熱を行うことにより、膜10の面10aがガラス基板1の裏面122に融着し、多層構造体LS1及び半導体基板51がガラス基板1に固定される。

[0065] なお、この貼り合わせ工程を実施するに際しては、ガラス基板1の裏面122ばかりで

はなく、膜10の面10aも清浄であることが望ましい。そのためには、例えば、膜10を形成したPCVD装置から半導体基板51を取り出した直後に融着作業を行うなどの工夫をするとよい。

[0066] また、使用するガラス基板は、GaAsの熱膨張係数に近い熱膨張係数を有することが好ましい。これにより、加熱後の冷却工程において、熱膨張係数の差により半導体基板51とガラス基板1との間に生じる応力を極力、低減でき、応力に起因する接着強度の低下及び結晶欠陥の発生を最小限に抑えることができる。

[0067] 工程(10)

次に、半導体基板51を除去する。ガラス基板1に多層構造体LS1及び半導体基板51が固定された後には、半導体基板51のうちガラス基板1の反対側に位置する主面、すなわち裏面112が露出している。この工程では、半導体基板51の裏面112側からエッチングを行い、半導体基板51及びバッファ層53を除去する(図12参照)。

[0068] 具体的には、エッチング停止層2に対しエッチング速度の遅いエッチング液を用いて、半導体基板51及びバッファ層53を除去する。これにより、多層構造体LS1を搭載するガラス基板1が得られる。使用するエッチング液としては、アンモニア水(NH_4OH)と過酸化水素水(H_2O_2)との混合溶液($\text{NH}_4\text{OH}:\text{H}_2\text{O}_2=1:5$)が好ましい。まず、貼り合わされたガラス基板1と半導体基板51とを NH_4OH と H_2O_2 との混合溶液に浸す。これにより、半導体基板51は裏面側よりエッチングされていく。エッチングが進み、半導体基板51及びバッファ層53が除去されると、エッチング液中でエッチング停止層2が露出する。エッチング停止層2($\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$)は、このエッチング液に対する耐性が高いので、エッチング速度が非常に遅くなる。したがって、エッチング停止層2が露出したときにエッチングは自動的に停止する。このようにして、半導体基板51及びバッファ層53が除去される。なお、エッチングの代わりに、化学機械研磨(CMP)によって半導体基板51及びバッファ層53を除去してもよい。

[0069] 工程(11)

次に、PCVD法により、エッチング停止層2の裏面102上に、 SiN_x からなる電気絶縁膜20を形成する(図13参照)。

[0070] 工程(12)

次に、コンタクトホール37を形成する予定の位置に開口を有するレジスト膜(図示せず)を電気絶縁膜20の上に形成する。そして、このレジスト膜をマスクとして使用して、コンタクト電極17が露出するまで、電気絶縁膜20、エッチング停止層2及び高濃度キャリア層3をエッチング(ウェットエッチング)する。これにより、コンタクトホール37が形成される(図14参照)。使用するエッチング液としては、電気絶縁膜20に対してはバッファードフッ酸(BHF)、エッチング停止層2に対しては塩酸(HCl)、高濃度キャリア層3に対してはアンモニア水(NH_4OH)と過酸化水素水(H_2O_2)との混合溶液($\text{NH}_4\text{OH}:\text{H}_2\text{O}_2=1:5$)が好ましい。続いて、レジスト膜を除去する。

[0071] 次に、コンタクトホール29を形成する予定の位置に開口を有するレジスト膜(図示せず)を電気絶縁膜20の上に形成する。そして、このレジスト膜をマスクとして使用して、第1配線電極25(電極部分25b)が露出するまで、電気絶縁膜20、エッチング停止層2及びパッシベーション膜19をエッチング(ウェットエッチング)する。これにより、コンタクトホール29が形成される(図14参照)。使用するエッチング液としては、電気絶縁膜20に対してはバッファードフッ酸(BHF)、エッチング停止層2に対しては塩酸(HCl)、パッシベーション膜19に対してはバッファードフッ酸(BHF)が好ましい。続いて、レジスト膜を除去する。

[0072] 工程(13)

次に、第1パッド電極27、第2パッド電極33、及び第2配線電極35に対応する位置に開口を有するレジスト膜(図示せず)を形成する。そして、このレジスト膜をマスクとして使用して、リフトオフ法により、Ti/Pt/Auからなる第1パッド電極27、第2パッド電極33、及び第2配線電極35を形成する(図15参照)。このとき、第2配線電極35は受光領域9の裏面(光入射面とは反対側の面)を覆うように形成される。ここで、第2パッド電極33と第2配線電極35とは一体に形成されることとなる。続いて、レジスト膜を除去する。その後、 H_2 雰囲気下でシンタリングを行う。なお、第2パッド電極33と第2配線電極35とを一体に形成しているが、これに限られることなく、それぞれ別体に形成するようにしてもよい。

[0073] これらの工程(1)～(13)により、図1及び図2に示された構造の半導体光検出素子PD1が完成する。

- [0074] なお、バンプ電極41は、メッキ法、半田ボール搭載法や印刷法で第1パッド電極(第2電極)27及び第2パッド電極33に半田を形成し、リフローを行うことによって得ることができる。また、バンプ電極41は半田に限られるものではなく、金バンプ、ニッケルバンプ、銅バンプでもよく、導電性フィラー等の金属を含む導電性樹脂バンプでもよい。
- [0075] 本実施形態では、高濃度キャリア層3、光吸収層5、及びキャップ層7を薄くした場合でも、多層構造体LS1(高濃度キャリア層3、光吸収層5、及びキャップ層7等)の機械的強度がガラス基板1及び膜10によって保たれる。また、従来の半導体光検出素子のように、基板厚みを維持した部分を形成する必要はなく、したがって、半導体光検出素子PD1の小型化が容易である。
- [0076] 多層構造体LS1の裏面102上に、出力信号を取り出すための第1パッド電極27及び第3電極31(第2パッド電極33及び第2配線電極35)が配置されているため、裏面102(受光領域9が配置された表面101の反対側の主面)を外部基板等の実装面に対向させた状態で半導体光検出素子PD1を実装することができる。したがって、半導体光検出素子PD1の実装を容易に行うことができる。
- [0077] 多層構造体LS1が膜10を介してガラス基板1に固定されるので、他に接着剤を用いることなく多層構造体LS1にガラス基板1を接着することができる。膜10を構成する酸化シリコンは、ガラス基板1と同様に、検出すべき光に対して光学的に透明である。そのため、ガラス基板1を通った入射光は、接着剤によって吸収されることなく多層構造体LS1(受光領域9)に到達することができる。この結果、光検出感度が低下するのを防ぐことができる。
- [0078] 受光部11は、高濃度キャリア層3a、光吸収層5a、キャップ層7a、及び受光領域9を含むメサ構造を有しており、それによって周囲の半導体層から分離されている。これにより、寄生容量をより一層低減することができる。
- [0079] 第1電極21(コンタクト電極23、及び、第1配線電極25の電極部分25a)は、受光部11を囲むように形成された窪み12内に位置する第1配線電極25の電極部分25bを介して第1パッド電極(第2電極)27と電気的に接続されている。また、第3電極31(第2パッド電極33及び第2配線電極35)は、受光部11に含まれる高濃度キャリア層

部分3aに電氣的に接続されている。これにより、窪み12内の電極部分25bを、多層構造体LS1を貫通する貫通電極の一部として利用することができるので、当該貫通電極の形成を極めて容易に行うことができる。また、コンタクトホール29を形成する手法としてウェットエッチング技術を用いることにより、低コストで歩留まりよく半導体光検出素子PD1を製造することができる。

[0080] 本実施形態では、受光部11の高濃度キャリア層3aから電極が直接引き出されるので、直列抵抗を大幅に低減することができる。

[0081] 多層構造体LS1の裏面102上には、受光領域9を覆う第2配線電極35が形成されている。このため、吸収されずに光吸収層5aを通り抜けた光が第2配線電極35で反射され、もう一度光吸収層5aに入射して吸収されるので、光感度をより一層高めることができる。

[0082] 本実施形態に係る製造方法では、受光領域9及び第1電極21を覆う膜10が多層構造体LS1の表面101上に形成され、この膜10の面10aがガラス基板1の裏面122と接触するようにして膜10にガラス基板1が貼り合わせられた後、半導体基板51が除去される。これにより、多層構造体LS1の表面101上に膜10を介してガラス基板1が接着された構造を有する半導体光検出素子PD1を容易に製造することができる。

[0083] また、半導体基板51が除去された後もガラス基板1及び膜10は残るので、その後の製造工程においても、多層構造体LS1の機械的強度がガラス基板1及び膜10によって保たれる。なお、ガラス基板1を接着する前は、半導体基板51によって多層構造体LS1の機械的強度が保たれる。

[0084] 多層構造体LS1を形成する工程では、ウェットエッチングを停止させるエッチング停止層2を、半導体基板51と高濃度キャリア層3との間に形成する。したがって、エッチング停止層2をエッチングできないエッチング液を用いることで、半導体基板51を選択的に除去することができる。このため、高濃度キャリア層3、光吸収層5、及びキャップ層7を残して半導体基板51を確実に除去できる。

[0085] 第2実施形態

図16は、第2実施形態に係る半導体光検出素子の構成を示す概略断面図である。この半導体光検出素子PD2は、ガラス基板1にレンズ部121aが形成されている点

で、第1実施形態に係る半導体光検出素子PD1と相違する。

[0086] 半導体光検出素子PD2は、多層構造体LS1と、ガラス基板1とを備えている。この半導体光検出素子PD2は、光がガラス基板1側から多層構造体LS1に入射する表面入射型の光検出素子である。また、半導体光検出素子PD2は、例えば波長帯0.85 μ mの近距離光通信用光検出素子である。

[0087] ガラス基板1の表面121には、入射光を集光するレンズ部121aが形成されている。表面121中の他の部分121bは、レンズ部121aよりも高い。すなわち、このレンズ部121aは、表面121中の最も高い部分121bよりも窪んでいる。

[0088] 次に、図17を参照しながら、半導体光検出素子PD2の製造方法を説明する。図17は、この製造方法を説明するための図であり、半導体光検出素子PD2の縦断面を示している。

[0089] 本製造方法では、以下の工程(1)～(13)を順次に行う。工程(1)～(8)は、第1実施形態における工程(1)～(8)と同じであり、説明を省略する。

[0090] 工程(9)

次に、多層構造体LS1、バッファ層53及び膜10が形成された半導体基板51にガラス基板1を接着する(図17参照)。接着方法は、第1実施形態における工程(9)と同様である。具体的には、表面121にレンズ部121aが形成されたガラス基板1を用意し、ガラス基板1の裏面122を清浄化する。次に、清浄化された裏面122と、膜10のうち多層構造体LS1から遠い側の面10aとが接触するように、ガラス基板1と半導体基板51とを重ね合わせる。続いて、重ね合わせたガラス基板1と半導体基板51を加圧及び加熱し、ガラス基板1と膜10とを互いに融着させて貼り合わせる。この接着方法の詳細は、第1実施形態における工程(9)と同じである。

[0091] 半導体基板51上の受光領域9とガラス基板1上のレンズ部121aとの位置合わせは、ガラス基板1の裏面122側にマーカを付与し、両面露光機を用いることで、付与したマーカを基準として容易に行うことができる。なお、マーカを付与する代わりに、レンズ部121aの外形をマーカとして利用してもよい。

[0092] 工程(10)～(13)は、第1実施形態における工程(10)～(13)と同じであり、ここでの説明を省略する。これらの工程(1)～(13)により、図16に示される構造の半導体

光検出素子PD2が完成する。

[0093] 本実施形態では、上述した第1実施形態と同じく、多層構造体LS1(積層された高濃度キャリア層3、光吸収層5及びキャップ層7)の機械的強度がガラス基板1及び膜10により保たれると共に、半導体光検出素子PD2の小型化が容易である。また、半導体光検出素子PD2の実装を容易に行うことができる。

[0094] また、ガラス基板1にレンズ部121aが設けられているので、入射光の照射範囲に比べて受光領域9が小さい場合であっても、入射光が効率良く受光される。この結果、SN比に優れ、信頼性の高い半導体光検出素子PD2を得ることができる。

[0095] また、本実施形態において、レンズ部121aは、ガラス基板1の表面121中の最も高い部分121bより窪んで形成されている。このため、レンズ部121aが形成されたガラス基板1を多層構造体LS1に容易に接着することができる。また、接着前にレンズ部121aを加工できるので、加工方法に制限を受けることが少なく、レンズ形状等、レンズ設計の自由度が高い。

[0096] なお、レンズ部121aは、多層構造体LS1及び膜10を搭載する半導体基板51にガラス基板1を接着した後に形成してもよい。しかしながら、レンズ設計の自由度を考慮すると、レンズ部121aが予め形成されたガラス基板1を半導体基板51に接着することが好ましい。

[0097] 第3実施形態

図18は、第3実施形態に係る半導体光検出素子の構成を示す概略断面図である。この半導体光検出素子PD3は、ガラス基板1及び膜10の代わりに、酸化シリコン(SiO_2)あるいは樹脂からなる膜を有する点で、第1実施形態に係る半導体光検出素子PD1と相違する。

[0098] 半導体光検出素子PD3は、多層構造体LS1と、膜60とを備えている。膜60は、互いに対向する二つの主面、すなわち表面131と裏面132を有している。多層構造体LS1は、膜60の裏面132上に設けられている。この半導体光検出素子PD3は、光が膜60側から多層構造体LS1に入射する表面入射型の光検出素子である。半導体光検出素子PD3は、例えば波長帯 $0.85\mu\text{m}$ の近距離光通信用光検出素子である。

[0099] 多層構造体LS1の表面101上には、受光領域9及び第1電極21(コンタクト電極23及び第1配線電極25の電極部分25a)を覆うように膜60が形成されている。膜60は、酸化シリコンあるいは樹脂(例えば、ポリイミド樹脂や、PMMA、エポキシ樹脂等)からなる。膜60は、その厚みが50 μ m程度であり、入射光に対して光学的に透明である。

[0100] 次に、図19及び図20を参照しながら、半導体光検出素子PD3の製造方法を説明する。図19及び図20は、この製造方法を説明するための図であり、半導体光検出素子PD3の縦断面を示している。

[0101] 本製造方法では、以下の工程(1)～(12)を順次に実行する。工程(1)～(7)は、第1実施形態における工程(1)～(7)と同じであり、説明を省略する。

[0102] 工程(8)

次に、受光領域9及び第1電極21を覆うように多層構造体LS1の表面101側に膜60を形成する(図19参照)。膜60が酸化シリコンからなる場合、膜60の形成には、例えば、シリコン酸化膜(SiO_2)を形成するための成膜ガスとしてTEOS(Tetraethylorthosilicate)を用いたPCVD法を用いることができる。また、膜60が樹脂からなる場合、膜60の形成には、例えば塗布法を用いることができる。

[0103] 工程(9)

次に、半導体基板51を除去する。膜60を形成した後は、半導体基板51のうち膜60の反対側に位置する裏面112が露出している。この工程では、半導体基板51の裏面112側から、半導体基板51及びバッファ層53をエッチングにより除去する(図20参照)。半導体基板51及びバッファ層53のエッチング方法は、第1実施形態における工程(10)のエッチング方法と同じである。

[0104] 工程(10)～(12)は、第1実施形態における工程(11)～(13)と同じであり、ここでの説明を省略する。これらの工程(1)～(12)により、図18に示される構造の半導体光検出素子PD3が完成する。

[0105] 本実施形態では、上述した第1実施形態と同様に、多層構造体LS1(積層された高濃度キャリア層3、光吸収層5及びキャップ層7)の機械的強度が膜60により保たれると共に、半導体光検出素子PD3の小型化が容易である。また、半導体光検出素子

PD3の実装を容易に行うことができる。

[0106] 第4実施形態

図21は、第4実施形態に係る半導体光検出素子の構成を示す概略断面図である。この半導体光検出素子PD4は、膜60にレンズ部131aが形成されている点で、第3実施形態に係る半導体光検出素子PD3と相違する。

[0107] 半導体光検出素子PD4は、多層構造体LS1と、膜60とを備えている。この半導体光検出素子PD4は、光が膜60側から多層構造体LS1に入射する表面入射型の光検出素子である。また、半導体光検出素子PD4は、例えば波長帯0.85 μ mの近距離光通信用光検出素子である。

[0108] 膜60の表面131には、入射光を集光するレンズ部131aが形成されている。このレンズ部131aは、ウェットエッチングにより形成することができる。例えば、図22に示されるように、膜60の表面131上に、所望の位置に開口63aを有するレジスト膜63を形成する。そして、図23に示されるように、レジスト膜63をマスクとして使用して、膜60をウェットエッチングする。ウェットエッチングでは、等方的にエッチングが進行するため、レジスト膜63の開口63aと受光領域9とを適切に位置合わせすることにより、レンズ効果を有するレンズ部131aが形成されることとなる。

[0109] 本実施形態では、上述した第1実施形態と同様に、多層構造体LS1(積層された高濃度キャリア層3、光吸収層5及びキャップ層7)の機械的強度が膜60により保たれると共に、半導体光検出素子PD4の小型化が容易である。また、半導体光検出素子PD4の実装を容易に行うことができる。

[0110] 膜60にはレンズ部131aが形成されているので、入射光の照射範囲に比べて受光領域9が小さい場合であっても、入射光が効率良く受光される。この結果、SN比に優れ、信頼性の高い半導体光検出素子PD4を得ることができる。

[0111] 第5実施形態

図24は、第5実施形態に係る半導体光検出素子を示す概略平面図である。図25は、図24におけるXXV-XXV線に沿った概略断面図である。なお、図24においては、バンプ電極41の図示を省略している。

[0112] 半導体光検出素子PD5は、多層構造体LS2と、ガラス基板1とを備えている。多層

構造体LS2は、ガラス基板1の裏面122上に設けられている。この半導体光検出素子PD5は、光がガラス基板1側から多層構造体LS2に入射する表面入射型の光検出素子である。半導体光検出素子PD5は、例えば波長帯0.85 μm の近距離光通信用光検出素子である。

- [0113] 多層構造体LS2は、順次に積層されたn型(第1導電型)の高濃度キャリア層3、n型の光吸収層5、及びn型のキャップ層7を含んでいる。多層構造体LS2は、互いに対向する二つの主面、すなわち表面103および裏面104を有している。キャップ層7aには、p型(第2導電型)の受光領域9が形成されている。多層構造体LS2の表面103上には、パッシベーション膜19が形成されている。多層構造体LS2の裏面104上には、電気絶縁膜20が形成されている。
- [0114] 多層構造体LS2の表面103上には、第1電極としてのコンタクト電極71がパッシベーション膜19の上に配置されている。コンタクト電極71は、パッシベーション膜19に形成されたコンタクトホール19aを通して、受光領域9に電氣的に接続されている。コンタクト電極71は、Ti/Pt/Auからなり、その厚みは1.5 μm 程度である。
- [0115] 多層構造体LS2には、表面103から裏面104まで延在する貫通孔THが形成されている。電気絶縁膜20は、貫通孔THを画成する多層構造体LS2の壁面上にも延在している。貫通孔TH内において電気絶縁膜20の内側には、貫通配線73が設けられている。貫通配線73の一端部73aは、電気絶縁膜20に形成されたコンタクトホール20aを通して、コンタクト電極71に電氣的に接続されている。
- [0116] 多層構造体LS2の裏面104上には、第1パッド電極27(第2電極)と、第3電極81が配置されている。第1パッド電極27は、貫通配線73を覆うように形成されており、貫通配線73のうち端部73aの反対側の端部73bに電氣的に接続されている。第1パッド電極27には、バンプ電極41が配置される。受光領域9からの電極の取り出しは、コンタクト電極71、貫通配線73、第1パッド電極27及びバンプ電極41により実現される。
- [0117] 第3電極81は、コンタクト電極83、第2パッド電極33、及び第2配線電極35を含んでいる。コンタクト電極83は、電気絶縁膜20に形成されたコンタクトホール20bを通して、高濃度キャリア層3に電氣的に接続されている。第2パッド電極33及び第2配

線電極35は、コンタクト電極83を覆うように形成され、当該コンタクト電極83に電氣的に接続されている。第2パッド電極33には、第1パッド電極27と同じく、バンプ電極41が配置される。高濃度キャリア層3からの電極の取り出しは、コンタクト電極83、第2パッド電極33及びバンプ電極41により実現される。

[0118] 第2配線電極35は、受光領域9の裏面の下方において当該裏面を覆うように形成されており、光反射膜として機能する。なお、第2配線電極35とは別に、受光領域9の下方に光反射膜を形成してもよい。

[0119] 多層構造体LS2の表面103上側には、受光領域9及びコンタクト電極71を覆うように膜10が形成されている。ガラス基板1は、膜10のうち多層構造体LS2と反対側の面10aに接触させて貼り合わされている。ガラス基板1は、その厚みが0.3mm程度であり、入射光に対して光学的に透明である。

[0120] 以下では、図26～図32を参照しながら、半導体光検出素子PD5の製造方法を説明する。図26～図32は、半導体光検出素子PD5の製造方法を説明するための図であり、半導体光検出素子PD5の縦断面を示している。

[0121] 本製造方法では、以下の工程(1)～(10)を順次に実行する。工程(1)及び(2)は、第1実施形態における工程(1)及び(2)と同じであり、説明を省略する。

[0122] 工程(3)

次に、PCVD法により、キャップ層7(多層構造体LS2)の表面103に SiN_x からなるパッシベーション膜19を形成する(図26参照)。

[0123] 工程(4)

次に、コンタクト電極71に対応する位置に開口を有するレジスト膜(図示せず)を形成し、そのレジスト膜をマスクとして使用してパッシベーション膜19をバッファードフッ酸(BHF)により除去し、パッシベーション膜19にコンタクトホール19aを形成する(図27参照)。続いて、レジスト膜を除去する。

[0124] 次に、コンタクトホール19aに対応する位置に開口を有するレジスト膜(図示せず)を再度形成する。そして、このレジスト膜をマスクとして使用して、受光領域9のうちコンタクトホール19aによって露出した部分の上に、蒸着とリフトオフ法によって、Ti/Pt/Auからなるコンタクト電極71を形成する(同じく図27参照)。続いて、レジスト膜を

除去する。

[0125] 工程(5)

次に、受光領域9(パッシベーション膜19)及びコンタクト電極71を覆うように多層構造体LS2の表面103側に膜10を形成して平坦化する(図28参照)。ここでは、膜10のうち多層構造体LS2の反対側に位置する面10aが、多層構造体LS2及び半導体基板51を含む構造体の表面として、平坦化されることとなる。膜10の形成方法は、第1実施形態における工程(8)の形成方法と同じである。

[0126] 工程(6)

次に、多層構造体LS2、エッチング停止層2、及び膜10が形成された半導体基板51にガラス基板1を接着する(図29参照)。ガラス基板1の接着方法は、第1実施形態における工程(9)の接着方法と同じである。

[0127] 工程(7)

次に、半導体基板51を除去する。ガラス基板1と半導体基板51とが接着された後には、半導体基板51のうちガラス基板1の反対側に位置する主面(裏面)112が露出されている。この工程では、半導体基板51の裏面112側からエッチングを行い、半導体基板51、バッファ層53及びエッチング停止層2を除去する(図30参照)。

[0128] 具体的には、まず、エッチング停止層2に対しエッチング速度の遅いエッチング液を用いて、半導体基板51及びバッファ層53を除去する。続いて、エッチング停止層2をエッチングすることができ、高濃度キャリア層3のAlGaAs層に対してはエッチング速度の遅いエッチング液を用いて、エッチング停止層2を除去する。これにより、多層構造体LS2を搭載するガラス基板1が得られる。

[0129] 半導体基板51及びバッファ層53のエッチング方法は、第1実施形態における工程(10)のエッチング方法と同じである。

半導体基板51及びバッファ層53のエッチングの後、エッチング停止層2及び多層構造体LS2が残ったガラス基板1は、 NH_4OH と H_2O_2 との混合溶液から取り出され、水洗、乾燥した後に、 H_3PO_4 と過酸化水素水と水との混合溶液($\text{H}_3\text{PO}_4:\text{H}_2\text{O}_2:\text{H}_2\text{O}=4:90:1$)に浸される。AlGaAsは、 H_3PO_4 と過酸化水素水と水との混合溶液ではほとんどエッチングされないので、エッチング停止層2のみがエッチングされ、高濃

度キャリア層3のAlGaAs層が露出したときにエッチングが自動的に停止する。このようにして、エッチング停止層2が除去される。なお、半導体基板51、バッファ層53及びエッチング停止層2を化学機械研磨(CMP)により除去してもよい。

[0130] 工程(8)

次に、貫通孔THを形成する予定の位置に開口を有するレジスト膜(図示せず)を高濃度キャリア層3上に形成する。そして、このレジスト膜をマスクとして使用して、コンタクト電極71が露出するまで、多層構造体LS2及びパッシベーション膜19をエッチング(ドライエッチング)する。これにより、貫通孔THが形成される(図31参照)。続いて、レジスト膜を除去する。このドライエッチングは、数 μ m程度のエッチングであり、極めて容易に行うことができる。

[0131] 次に、PCVD法により、高濃度キャリア層3の表面に SiN_x からなる電気絶縁膜20を形成する(図31参照)。これにより、貫通孔THを画成する多層構造体LS2の壁面上にも電気絶縁膜20が形成されることとなる。

[0132] 工程(9)

次に、電気絶縁膜20の上に、コンタクト電極83に対応する位置に開口を有するレジスト膜(図示せず)を形成する。そして、このレジスト膜をマスクとして使用して、電気絶縁膜20をBHFにより除去し、電気絶縁膜20にコンタクトホール20bを形成する(同じく図31参照)。続いて、レジスト膜を除去する。

[0133] 次に、コンタクト電極83に対応する位置に開口を有するレジスト膜(図示せず)を形成する。そして、このレジスト膜をマスクとして使用して、リフトオフ法により、Ti/Pt/Auからなるコンタクト電極83を形成する(同じく図31参照)。続いて、レジスト膜を除去する。

[0134] 工程(10)

次に、電気絶縁膜20の上に、貫通配線73及び第1パッド電極27に対応する位置にそれぞれ開口を有するレジスト膜(図示せず)を形成する。そして、このレジスト膜をマスクとして使用して、電気絶縁膜20をBHFにより除去し、電気絶縁膜20にコンタクトホール20aを形成する(図32参照)。これにより、コンタクト電極71が露出することとなる。続いて、レジスト膜を除去する。

- [0135] 次に、第1パッド電極27(貫通配線73)、第2パッド電極33、及び第2配線電極35に対応する位置にそれぞれ開口を有するレジスト膜(図示せず)を形成する。そして、このレジスト膜をマスクとして使用して、リフトオフ法により、Ti/Pt/Auからなる第1パッド電極27(貫通配線73)、第2パッド電極33、及び第2配線電極35を形成する(図32参照)。第1パッド電極27と貫通配線73とは一体に形成されることとなる。また、第2パッド電極33と第2配線電極35とは一体に形成されることとなる。続いて、レジスト膜を除去する。その後、 H_2 雰囲気下でシンタリングを行う。なお、第1パッド電極27と貫通配線73とを一体に形成しているが、これに限られることなく、それぞれ別体に形成するようにしてもよい。同じく、第2パッド電極33と第2配線電極35とを一体に形成しているが、これに限られることなく、それぞれ別体に形成するようにしてもよい。
- [0136] これらの工程(1)～(10)により、図24及び図25に示された構造の半導体光検出素子PD5が完成する。
- [0137] 本実施形態では、上述した第1実施形態と同様に、多層構造体LS2(積層された高濃度キャリア層3、光吸収層5及びキャップ層7)の機械的強度がガラス基板1及び膜10により保たれると共に、半導体光検出素子PD5の小型化が容易である。また、半導体光検出素子PD5の実装を容易に行うことができる。
- [0138] また、本実施形態では、コンタクト電極71が、多層構造体LS2を貫通する貫通配線73を介して第1パッド電極27に電氣的に接続されている。貫通配線73を用いることにより、コンタクト電極71を第1パッド電極27に確実に導通させることができる。また、第2パッド電極33が高濃度キャリア層3に電氣的に接続されている。高濃度キャリア層3から電極が直接引き出されているので、直列抵抗を大幅に低減することができる。
- [0139] また、本実施形態に係る製造方法では、半導体基板51を除去した後に、エッチング停止層2をウェットエッチングにより除去している。このウェットエッチングでは、エッチング停止層2をエッチングでき、かつ、高濃度キャリア層3をエッチングできないエッチング液を用いることで、エッチング停止層2だけを選択的に除去する。したがって、多層構造体LS2を残してエッチング停止層2を確実にかつ容易に除去できる。
- [0140] 第6実施形態

図33は、第6実施形態に係る半導体光検出素子の構成を示す概略断面図である。この半導体光検出素子PD6は、ガラス基板1にレンズ部121aが形成されている点で、第5実施形態に係る半導体光検出素子PD5と相違する。

[0141] 半導体光検出素子PD6は、多層構造体LS2と、ガラス基板1とを備えている。この半導体光検出素子PD6は、光がガラス基板1側から多層構造体LS2に入射する表面入射型の光検出素子である。また、半導体光検出素子PD6は、例えば波長帯0.85 μ mの近距離光通信用光検出素子である。

[0142] ガラス基板1の表面121には、入射光を集光するレンズ部121aが形成されている。表面121中の他の部分121bは、レンズ部121aよりも高い。すなわち、このレンズ部121aは、表面121中の最も高い部分121bよりも窪んでいる。

[0143] 次に、図34を参照しながら、半導体光検出素子PD6の製造方法を説明する。図34は、この製造方法を説明するための図であり、半導体光検出素子PD6の縦断面を示している。

[0144] 本製造方法では、以下の工程(1)～(10)を順次実行する。工程(1)～(5)は、第5実施形態における工程(1)～(5)と同じであり、説明を省略する。

[0145] 工程(6)

次に、多層構造体LS2、エッチング停止層2、及び膜10が形成された半導体基板51にガラス基板1を接着する(図34参照)。具体的には、表面121にレンズ部121aが形成されたガラス基板1を用意し、ガラス基板1の裏面122を清浄化する。次に、清浄化された裏面122と、膜10のうち多層構造体LS2から遠い側の面10aとが接触するように、ガラス基板1と半導体基板51とを重ね合わせる。続いて、重ね合わせたガラス基板1と半導体基板51を加圧及び加熱し、ガラス基板1と膜10とを互いに融着させて貼り合わせる。この接着方法の詳細は、第1実施形態における工程(9)と同じである。

[0146] 工程(7)～(10)は、第5実施形態における工程(7)～(13)と同じであり、ここでの説明を省略する。これらの工程(1)～(10)により、図33に示される構造の半導体光検出素子PD6が完成する。

[0147] 本実施形態では、上述した第5実施形態と同じく、多層構造体LS2(積層された高

濃度キャリア層3、光吸収層5及びキャップ層7)の機械的強度がガラス基板1及び膜10により保たれると共に、半導体光検出素子PD6の小型化が容易である。また、半導体光検出素子PD6の実装を容易に行うことができる。

[0148] また、ガラス基板1にレンズ部121aが設けられているので、入射光の照射範囲に比べて受光領域9が小さい場合であっても、入射光が効率良く受光される。この結果、SN比に優れ、信頼性の高い半導体光検出素子PD6を得ることができる。

[0149] 第7実施形態

図35は、第7実施形態に係る半導体光検出素子の構成を示す概略断面図である。この半導体光検出素子PD7は、ガラス基板1及び膜10の代わりに、酸化シリコン(SiO_2)あるいは樹脂からなる膜を有する点で、第5実施形態に係る半導体光検出素子PD5と相違する。

[0150] 半導体光検出素子PD7は、多層構造体LS2と、膜60とを備えている。膜60は、互いに対向する二つの主面、すなわち表面131と裏面132を有している。多層構造体LS1は、膜60の裏面132上に設けられている。この半導体光検出素子PD7は、光が膜60側から多層構造体LS2に入射する表面入射型の光検出素子である。半導体光検出素子PD7は、例えば波長帯0.85 μm の近距離光通信用光検出素子である。

[0151] 多層構造体LS2の表面103上には、受光領域9及びコンタクト電極71を覆うように膜60が形成されている。膜60は、酸化シリコンあるいは樹脂(例えば、ポリイミド樹脂やPMMA、エポキシ樹脂等)からなる。膜60は、その厚みが50 μm 程度であり、入射光に対して光学的に透明である。

[0152] 次に、図36及び図37を参照しながら、半導体検出素子PD7の製造方法を説明する。図36及び図37は、この製造方法を説明するための図であり、半導体光検出素子PD7の縦断面を示している。

[0153] 本製造方法では、以下の工程(1)～(9)を順次に行う。工程(1)～(4)は、第5実施形態における工程(1)～(4)と同じであり、説明を省略する。

[0154] 工程(5)

次に、受光領域9(パッシベーション膜19)及びコンタクト電極71を覆うように多層構

造体LS2の表面103側に膜60を形成する(図36参照)。膜60の形成方法は、第3実施形態における工程(8)の形成方法と同じである。

[0155] 工程(6)

次に、半導体基板51を除去する。膜60を形成した後は、半導体基板51のうち膜60の反対側に位置する主面、すなわち裏面112が露出している。この工程では、半導体基板51の裏面112側から、半導体基板51及びエッチング停止層2をエッチングにより除去する(図37参照)。半導体基板51及びエッチング停止層2のエッチング方法は、上述の第5実施形態における工程(7)のエッチング方法と同じである。

[0156] 工程(7)～(9)の工程は、第1実施形態における工程(8)～(10)と同じであり、ここでの説明を省略する。これらの工程(1)～(9)により、図35に示される構造の半導体光検出素子PD7が完成する。

[0157] 本実施形態では、上述した第5実施形態と同様に、多層構造体LS2(積層された高濃度キャリア層3、光吸収層5及びキャップ層7)の機械的強度が膜60により保たれると共に、半導体光検出素子PD7の小型化が容易である。また、半導体光検出素子PD7の実装を容易に行うことができる。

[0158] 第8実施形態

図38は、第8実施形態に係る半導体光検出素子の構成を示す概略断面図である。この半導体光検出素子PD8は、膜60にレンズ部131aが形成されている点で、第7実施形態に係る半導体光検出素子PD7と相違する。

[0159] 半導体光検出素子PD8は、多層構造体LS2と、膜60とを備えている。この半導体光検出素子PD8は、光が膜60側から多層構造体LS2に入射する表面入射型の光検出素子である。また、半導体光検出素子PD8は、例えば波長帯0.85 μ mの近距離光通信用光検出素子である。

[0160] 膜60の表面131には、入射光を集光するレンズ部131aが形成されている。このレンズ部131aは、ウェットエッチングにより形成することができる。レンズ部131aを形成するためのウェットエッチングは、上述の第4実施形態にて説明したウェットエッチング方法と同じである。

[0161] 本実施形態では、上述した第5実施形態と同様に、多層構造体LS2(積層された

高濃度キャリア層3、光吸収層5及びキャップ層7)の機械的強度が膜60により保たれると共に、半導体光検出素子PD8の小型化が容易である。また、半導体光検出素子PD8の実装を容易に行うことができる。

[0162] 膜60にはレンズ部131aが形成されているので、入射光の照射範囲に比べて受光領域9が小さい場合であっても、入射光が効率良く受光される。この結果、SN比に優れ、信頼性の高い半導体光検出素子PD8を得ることができる。

[0163] 次に、図39及び図40を参照しながら、本実施形態の変形例を説明する。これらの変形例は、受光領域9が複数並設された半導体光検出素子アレイPDA1及びPDA2である。これらの光検出素子アレイPDA1及びPDA2は、いわゆる表面入射型である。

[0164] 光検出素子アレイPDA1では、図39に示されるように、複数の受光部11および受光領域9が、1次元または2次元的に配列されている。また、光検出素子アレイPDA2では、図40に示されるように、複数の受光領域9が1次元または2次元方向に配列されている。

[0165] 光検出素子アレイPDA1では、上述した第1実施形態と同じく、多層構造体LS1(積層された高濃度キャリア層3、光吸収層5及びキャップ層7)の機械的強度がガラス基板1により保たれる。また、受光部11間のピッチおよび受光領域9間のピッチを狭くすることができるので、光検出素子アレイPDA1の小型化が容易である。

[0166] 光検出素子アレイPDA2では、上述した第5実施形態と同じく、多層構造体LS2(積層された高濃度キャリア層3、光吸収層5及びキャップ層7)の機械的強度がガラス基板1により保たれる。また、受光領域9間のピッチを狭くすることができるので、光検出素子アレイPDA2の小型化が容易である。

[0167] なお、光検出素子アレイPDA1及びPDA2において、ガラス基板1及び膜10を設ける代わりに、上述した膜60を設けてもよい。また、各受光領域9に対応して、レンズ部(例えば、上述したレンズ部121a及び131a)を形成してもよい。

[0168] 次に、図41を参照して、上述した半導体光検出素子(または光検出素子アレイ)を用いた光インターコネクションシステムについて説明する。図41は、光インターコネクションシステムの構成を示す概略図である。

- [0169] 光インターコネクションシステム151は、複数のモジュール(例えば、CPU、集積回路チップ、メモリー)M1及びM2間で光信号を伝送するシステムであり、半導体発光素子153、駆動回路155、光導波路基板157、半導体光検出素子PD1、増幅回路159等を含んでいる。半導体発光素子153には、裏面出射型の垂直共振型面発光レーザ(VCSEL:Vertical Cavity Surface Emitting Laser)を用いることができる。モジュールM1は、バンプ電極を介して駆動回路155に電氣的に接続されている。駆動回路155は、バンプ電極を介して半導体発光素子103に電氣的に接続されている。半導体光検出素子PD1は、バンプ電極41を介して増幅回路159に電氣的に接続されている。増幅回路159は、バンプ電極を介してモジュールM2に電氣的に接続されている。
- [0170] モジュールM1から出力された電気信号は、駆動回路155に送られ、半導体発光素子153によって光信号に変換される。半導体発光素子153からの光信号は、光導波路基板157上の光導波路157aを通り、半導体光検出素子PD1に入射する。光信号は、半導体光検出素子PD1によって電気信号に変換され、増幅回路109に送られて増幅される。増幅された電気信号は、モジュールM2に送られる。このようにして、モジュールM1から出力された電気信号が、モジュールM2に伝送されることとなる。
- [0171] なお、半導体光検出素子PD1の代わりに、半導体光検出素子PD2～PD8あるいは半導体光検出素子アレイPDA1またはPDA2のいずれかを用いてもよい。半導体光検出素子アレイPDA1、PDA2を用いる場合、半導体発光素子153、駆動回路155、光導波路基板157及び増幅回路159もアレイを成すように配列されることとなる。
- [0172] 以上、本発明をその実施形態に基づいて詳細に説明した。しかし、本発明は上記実施形態に限定されるものではない。本発明は、その要旨を逸脱しない範囲で様々な変形が可能である。例えば、半導体基板51、高濃度キャリア層3(3a, 3b)、光吸収層5(5a, 5b)、キャップ層7(7a, 7b)等の厚み、材料等は、上述したものに限られない。具体的には、半導体基板51の材料として、上述したGaAsの代わりに、Si、InP、InGaAs、InSb、またはInAsSbを用いてもよい。

[0173] 上述した発明から明らかなように、本発明の実施形態には様々な方法で変形を加えてもよい。このような変形は、本発明の範囲から逸脱するものではなく、当業者にとっては明らかなように、このような変形は、すべて下記の請求の範囲内に含まれるように意図されている。

産業上の利用可能性

[0174] 本発明は、十分な機械的強度を有し、小型化の可能な半導体光検出素子及びその製造方法を提供することができる。また、本発明によれば、半導体光検出素子の実装を容易に行うことができる。

請求の範囲

- [1] 積層された複数の化合物半導体層を含み、互いに対向する第1及び第2の主面を有する多層構造体と、
前記多層構造体の内部において前記第1の主面付近に形成された受光領域と、
前記多層構造体の前記第1の主面上に配置され、前記受光領域に電氣的に接続された第1電極と、
前記多層構造体の前記第2の主面上に配置され、前記第1電極に電氣的に接続された第2電極と、
前記多層構造体の前記第2の主面上に配置され、前記多層構造体のうち前記第2の主面付近の部分に電氣的に接続された第3電極と、
前記多層構造体の前記第1の主面上に配置され、前記受光領域及び前記第1電極を覆い、入射光に対して光学的に透明な光透過層と、
を備える半導体光検出素子。
- [2] 前記光透過層は、酸化シリコンからなる膜と、ガラス基板とを含んでおり、
前記ガラス基板は、前記酸化シリコンからなる膜を介して前記多層構造体に固定されている、請求項1に記載の半導体光検出素子。
- [3] 前記光透過層は、酸化シリコンまたは樹脂からなる膜を含んでいる、請求項1に記載の半導体光検出素子。
- [4] 前記複数の化合物半導体層は、第1の導電型の高濃度キャリア層、前記第1の導電型の光吸収層、及び前記第1の導電型のキャップ層を含んでおり、
前記受光領域は、少なくとも前記キャップ層の一部を含む第2の導電型の領域である、請求項1～3のいずれかに記載の半導体光検出素子。
- [5] 前記多層構造体は、前記受光領域の周囲に形成された窪みと、その窪みの中に配置された配線電極とを更に有しており、
前記第1電極は、前記配線電極を介して前記第2電極に電氣的に接続されており、
前記第3電極は、前記高濃度キャリア層のうち前記受光領域の付近に位置する部分に電氣的に接続されている、
請求項4に記載の半導体光検出素子。

- [6] 前記多層構造体を貫通する貫通配線を更に備え、
前記第1電極は、前記貫通配線を介して前記第2電極に電氣的に接続されており、
前記第3電極は、前記高濃度キャリア層に電氣的に接続されている、
請求項4に記載の半導体光検出素子。
- [7] 前記第2及び第3電極は、それぞれパッド電極を含んでおり、これらのパッド電極の
各々の上にバンプ電極が配置されている、請求項1～6のいずれかに記載の半導体
光検出素子。
- [8] 前記多層構造体の前記第2の主面上に設けられ、前記受光領域を覆う光反射膜を
更に備える請求項1～7のいずれかに記載の半導体光検出素子。
- [9] 並設された複数の前記受光領域を備える請求項1～8のいずれかに記載の半導体
光検出素子。
- [10] 前記光透過層は、入射光を集光するレンズ部を含んでいる、請求項1～9のいずれ
かに記載の半導体光検出素子。
- [11] 半導体基板を用意する工程と、
前記半導体基板上に多層構造体を設ける工程であって、前記多層構造体は、積
層された複数の化合物半導体層を含み、互いに対向する第1および第2の主面を有
しており、前記第2の主面が前記半導体基板に向けられており、
前記多層構造体の内部において前記第1の主面付近に受光領域を形成する工程
と、
前記受光領域に電氣的に接続された第1電極を、前記多層構造体の前記第1の主
面上に設ける工程と、
入射光に対して光学的に透明な光透過層を、前記受光領域及び前記第1電極を
覆うように、前記多層構造体の前記第1の主面上に形成する工程と、
前記光透過層を形成した後に、前記半導体基板を除去する工程と、
前記半導体基板を除去した後に、前記第1電極に電氣的に接続された第2電極を
、前記多層構造体の前記第2の主面上に形成すると共に、前記多層構造体のうち前
記第2の主面付近の部分に電氣的に接続された第3電極を前記第2の主面上に形
成する工程と、

を備える半導体光検出素子の製造方法。

- [12] 前記光透過層を形成する前記工程は、
前記受光領域及び前記第1電極を覆うように、酸化シリコンからなる膜を形成する工程と、
前記酸化シリコンからなる膜に、入射光に対して光学的に透明なガラス基板を固定する工程と、
を含んでいる、請求項11に記載の半導体光検出素子の製造方法。
- [13] 前記光透過層を形成する前記工程は、前記受光領域及び前記第1電極を覆うように、酸化シリコンまたは樹脂からなる膜を形成する工程を含んでいる、請求項11に記載の半導体光検出素子の製造方法。
- [14] 前記半導体基板を除去する前記工程は、前記半導体基板をウェットエッチングにより除去する工程を含んでおり、
前記多層構造体を形成する前記工程は、前記ウェットエッチングを停止させるエッチング停止層を、前記半導体基板と前記複数の化合物半導体層との間に形成する工程を含んでいる、請求項11～13のいずれかに記載の半導体光検出素子の製造方法。
- [15] 前記半導体基板を除去した後に、前記エッチング停止層をウェットエッチングにより除去する工程を更に備える請求項14に記載の半導体光検出素子の製造方法。
- [16] 前記複数の化合物半導体層は、第1の導電型の高濃度キャリア層、前記第1の導電型の光吸収層、及び前記第1の導電型のキャップ層を含んでおり、
前記多層構造体を形成する前記工程は、前記半導体基板上に前記高濃度キャリア層、前記光吸収層及び前記キャップ層を順次に積層する工程を含んでおり、
前記受光領域を形成する前記工程は、当該受光領域として、少なくとも前記キャップ層の一部を含む第2の導電型の領域を形成する工程を含んでいる、請求項11～15のいずれかに記載の半導体光検出素子の製造方法。
- [17] 前記受光領域の周囲に窪みを形成する工程と、
前記第1電極を前記第2電極に電氣的に接続する配線電極を前記窪みの中に設ける工程と、

を更に備え、

前記第3電極を形成する前記工程は、前記第3電極が、前記高濃度キャリア層のうち前記受光領域の付近に位置する部分に電氣的に接続されるように前記第3電極を形成する工程を含んでいる、請求項16に記載の半導体光検出素子の製造方法。

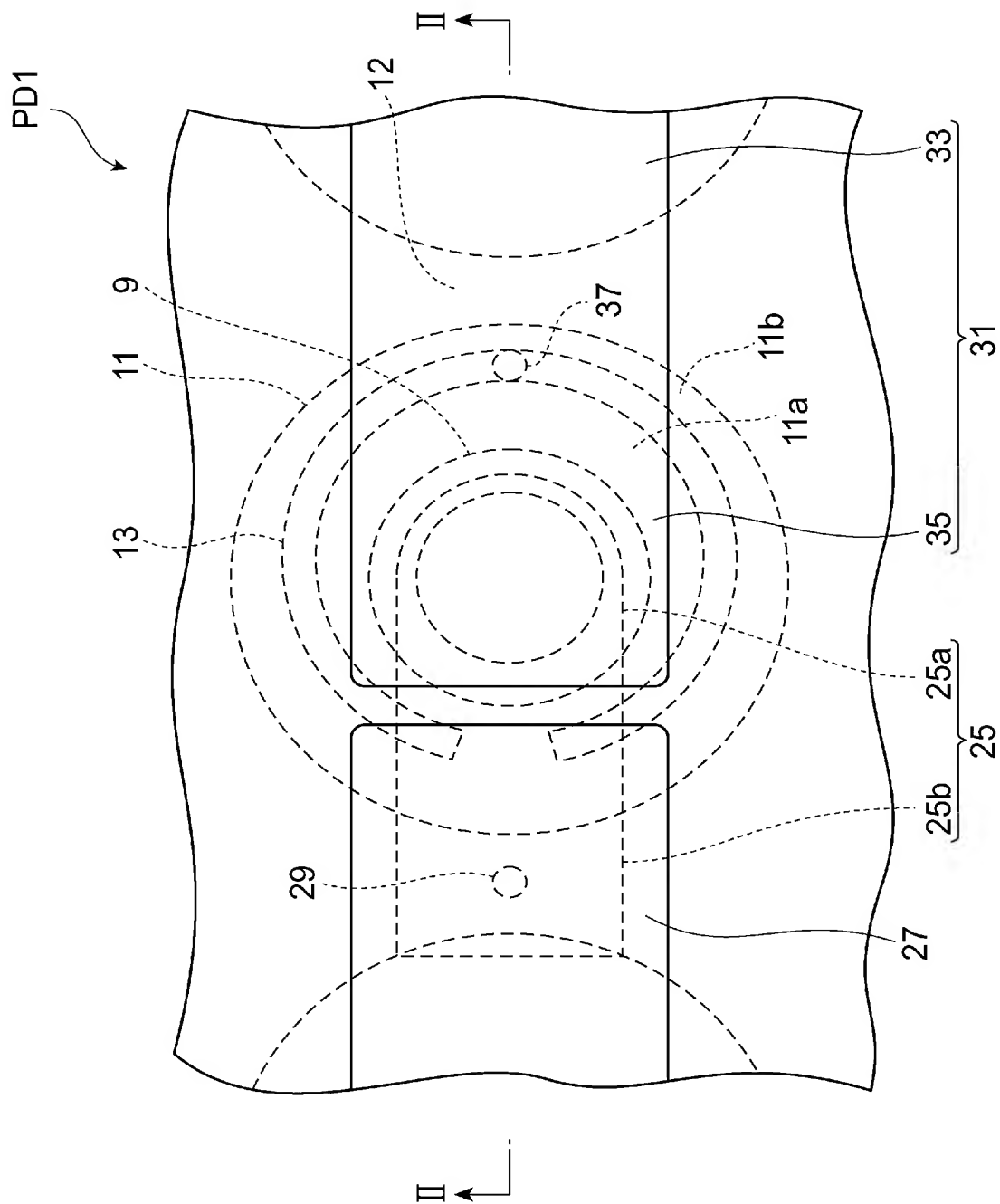
- [18] 前記第2電極を形成する前記工程は、前記多層構造体を貫通する貫通配線を形成し、当該貫通配線を介して前記第1電極を前記第2電極に電氣的に接続する工程を含んでおり、

前記第3電極を形成する前記工程は、前記第3電極が前記高濃度キャリア層に電氣的に接続されるように前記第3電極を形成する工程を含んでいる、請求項16に記載の半導体光検出素子の製造方法。

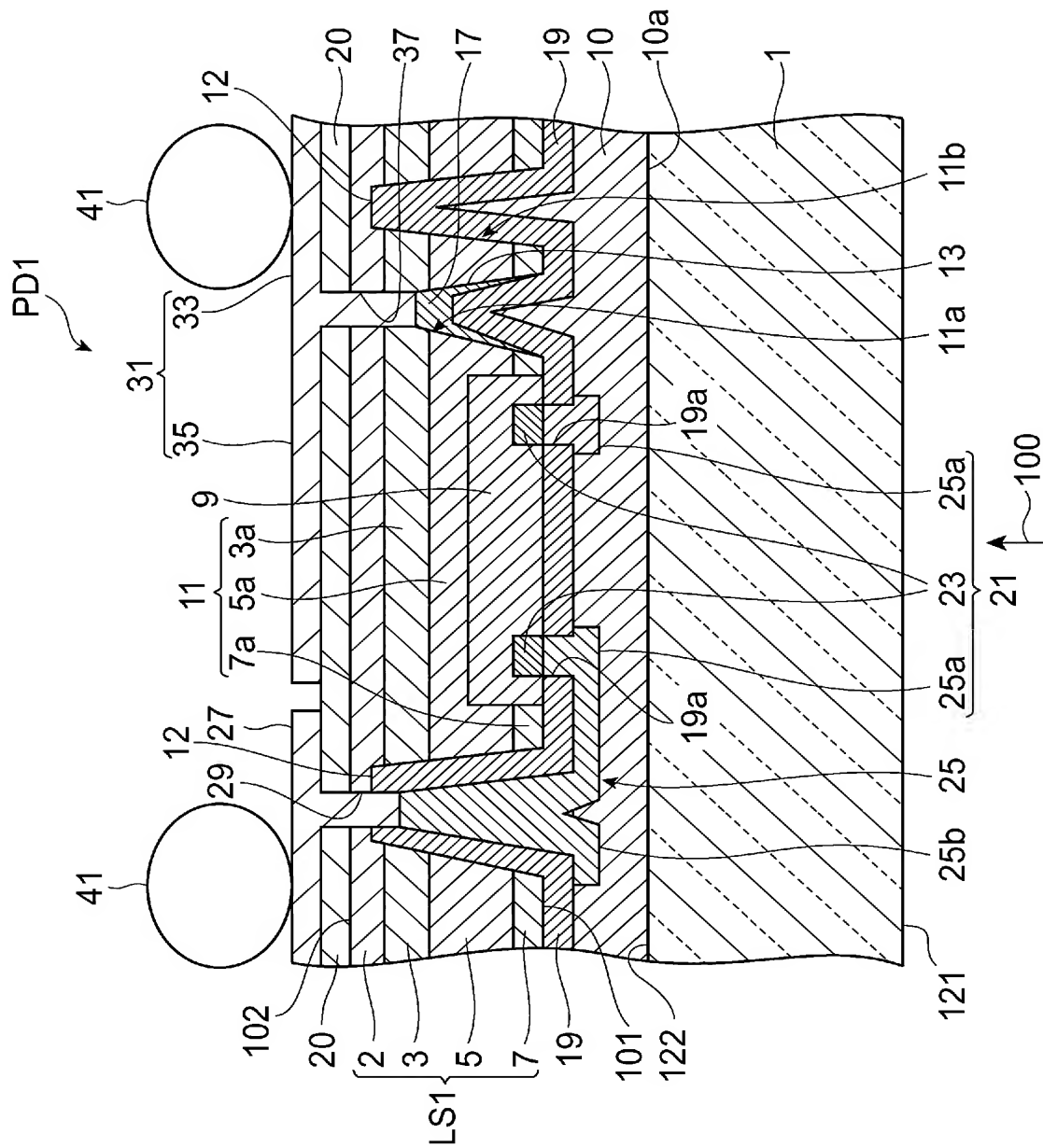
- [19] 前記多層構造体の前記第2の主面上に、前記受光領域を覆う光反射膜を形成する工程を更に備える請求項11～18のいずれかに記載の半導体光検出素子の製造方法。

- [20] 前記光透過層は、入射光を集光するレンズ部を含んでいる、請求項11～19のいずれかに記載の半導体光検出素子の製造方法。

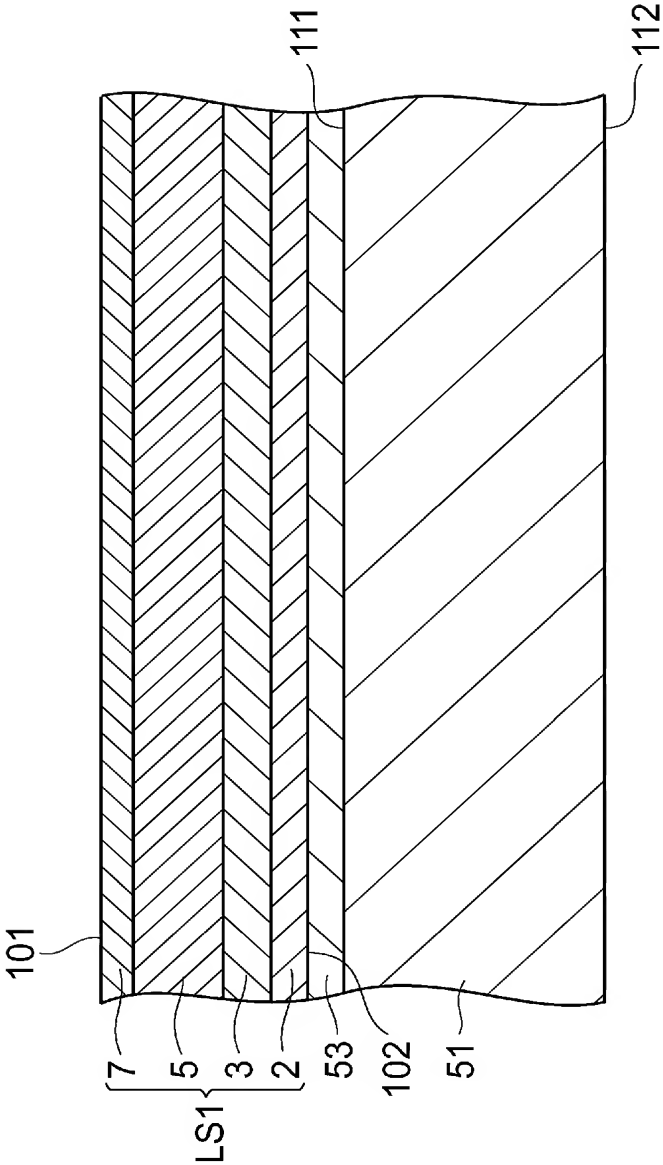
[図1]



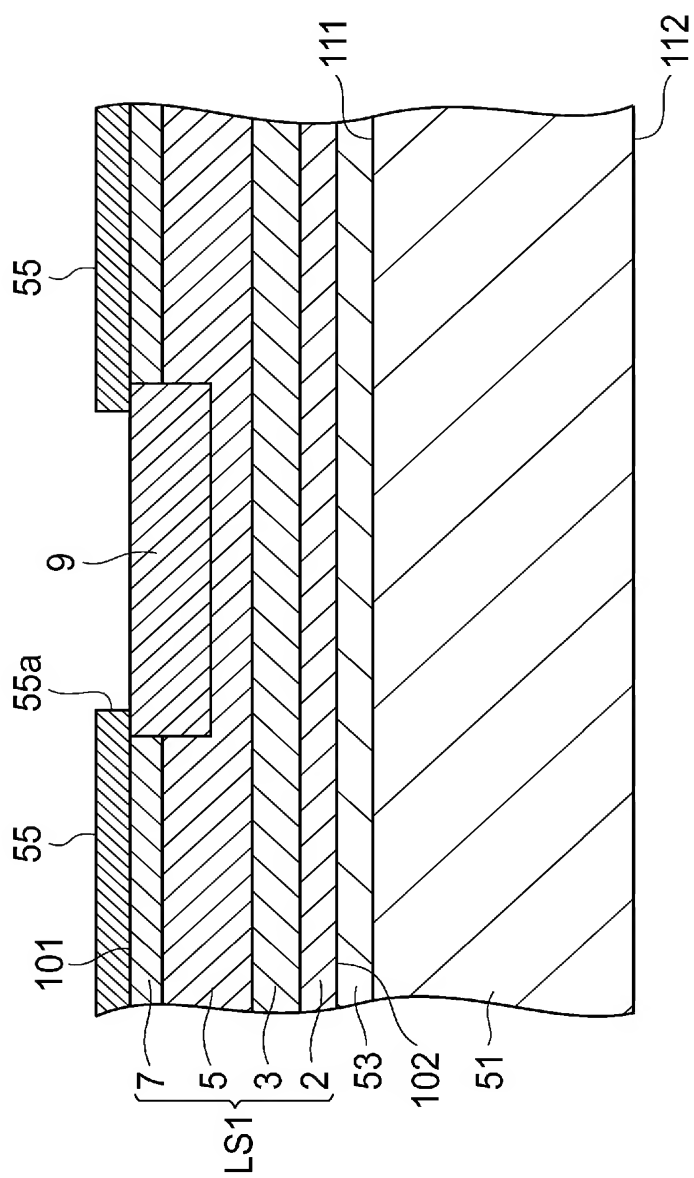
[図2]



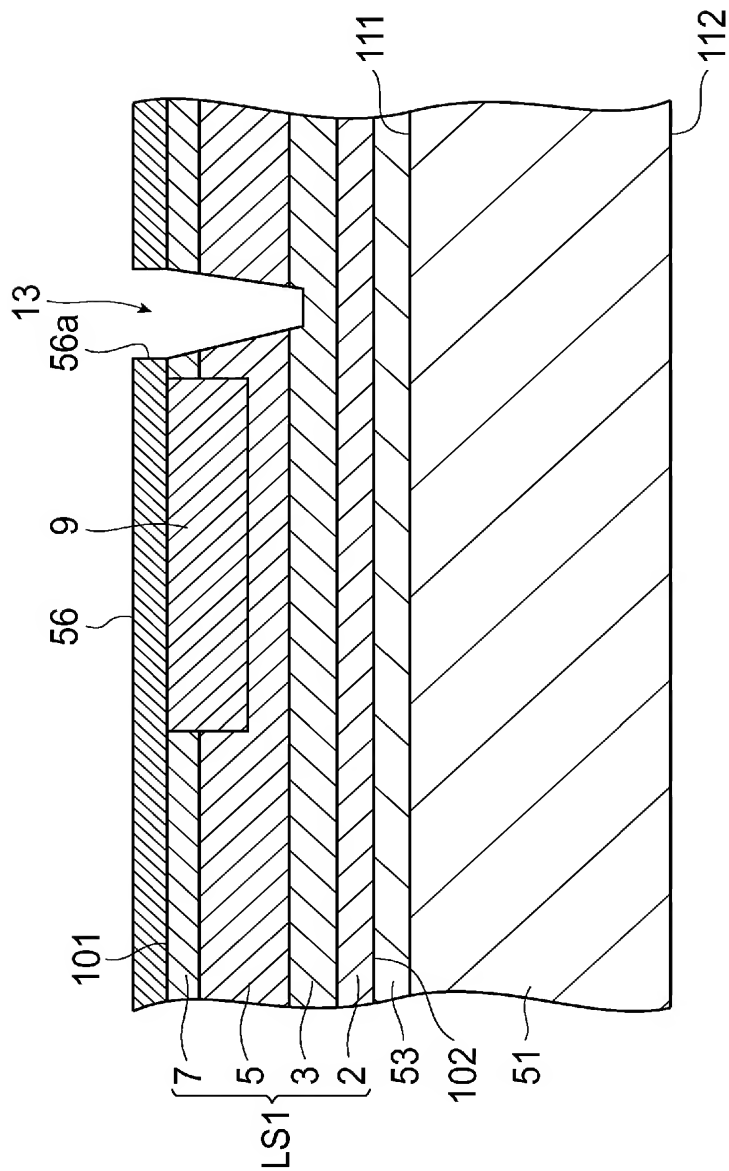
[図3]



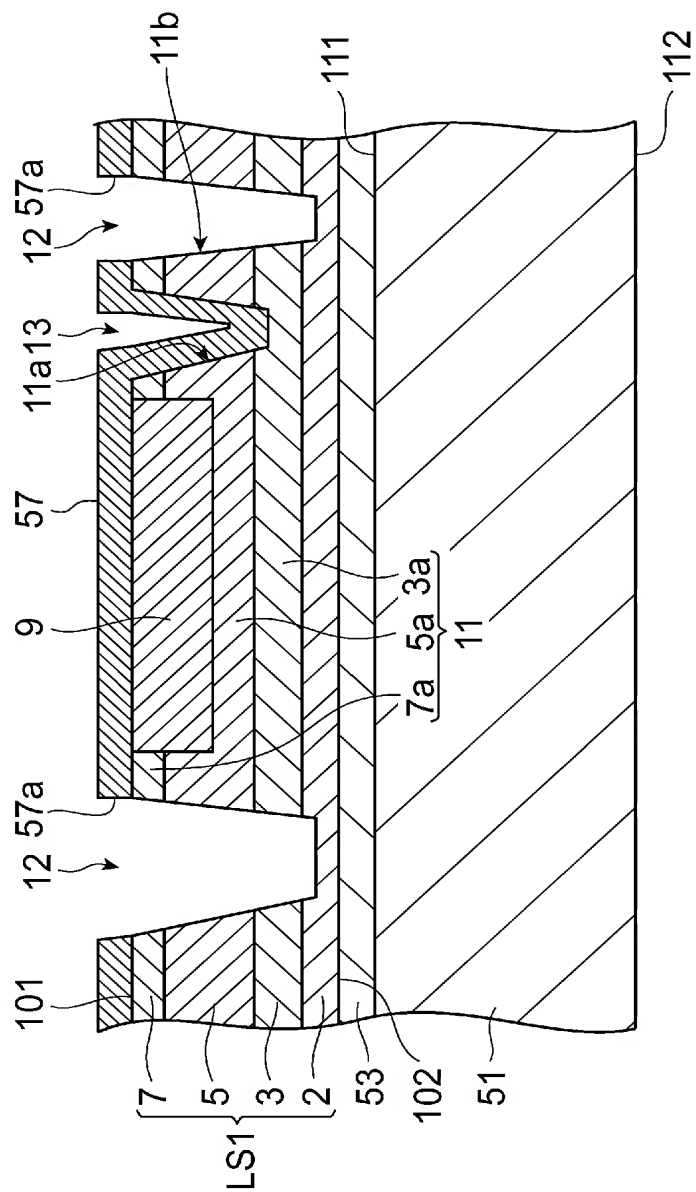
[図4]



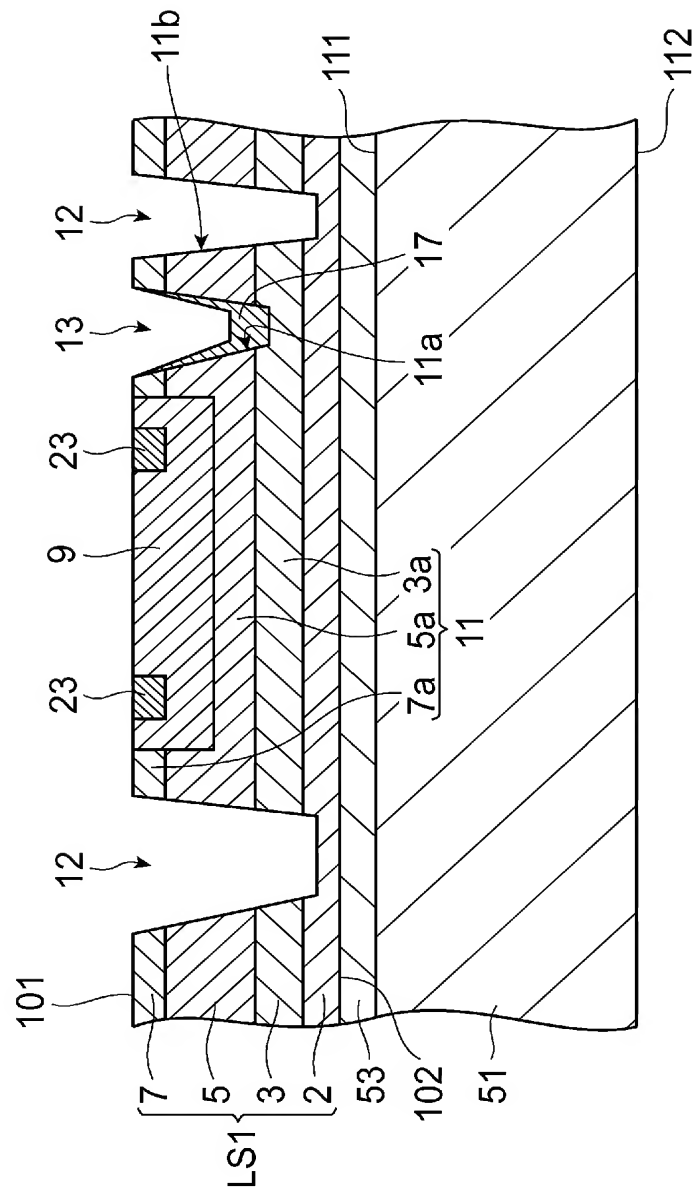
[図5]



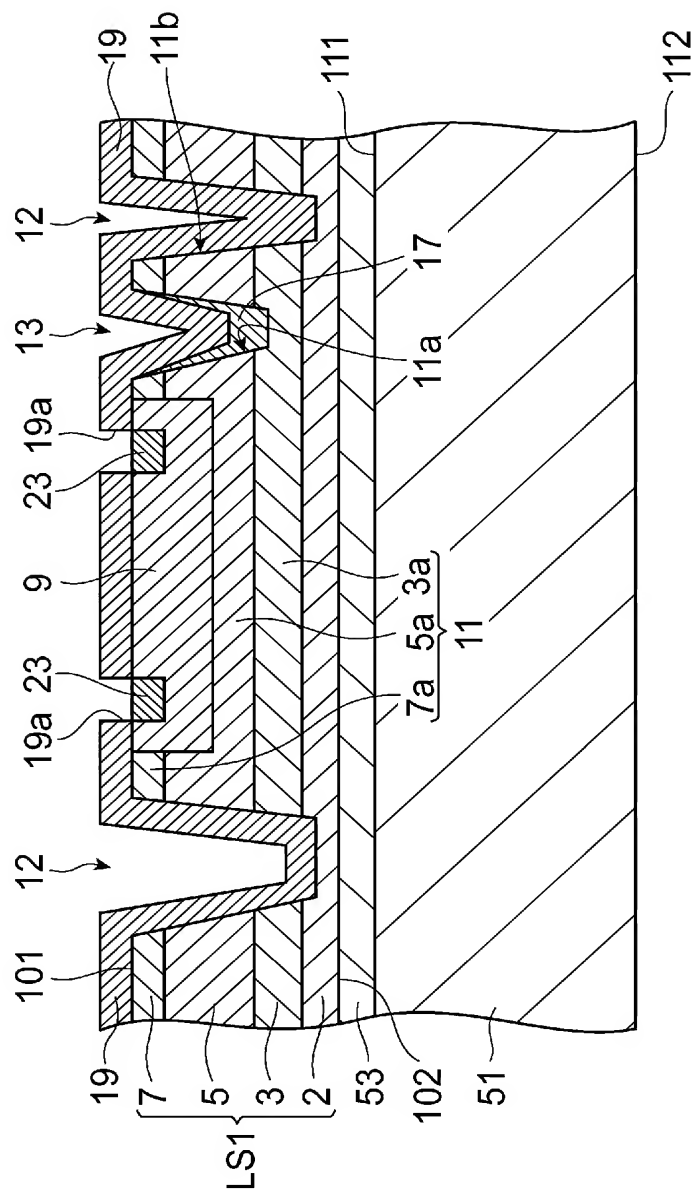
[図6]



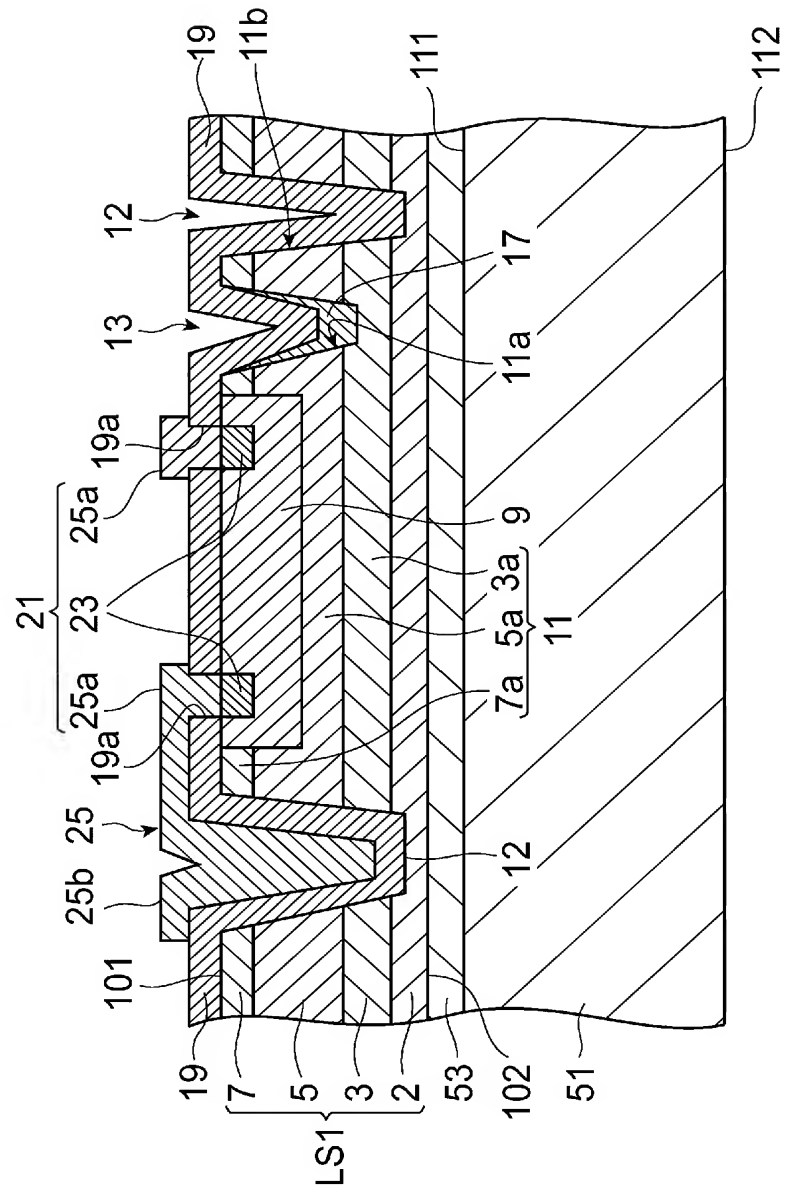
[図7]



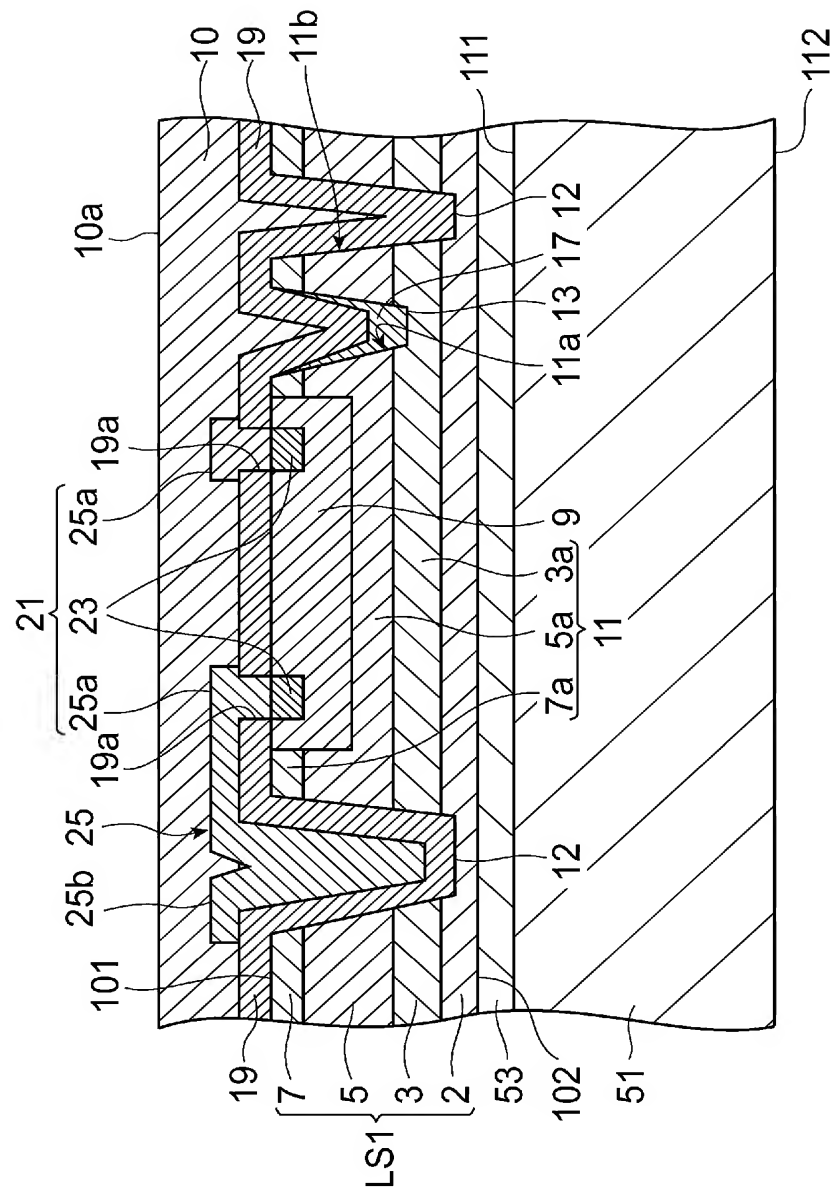
[図8]



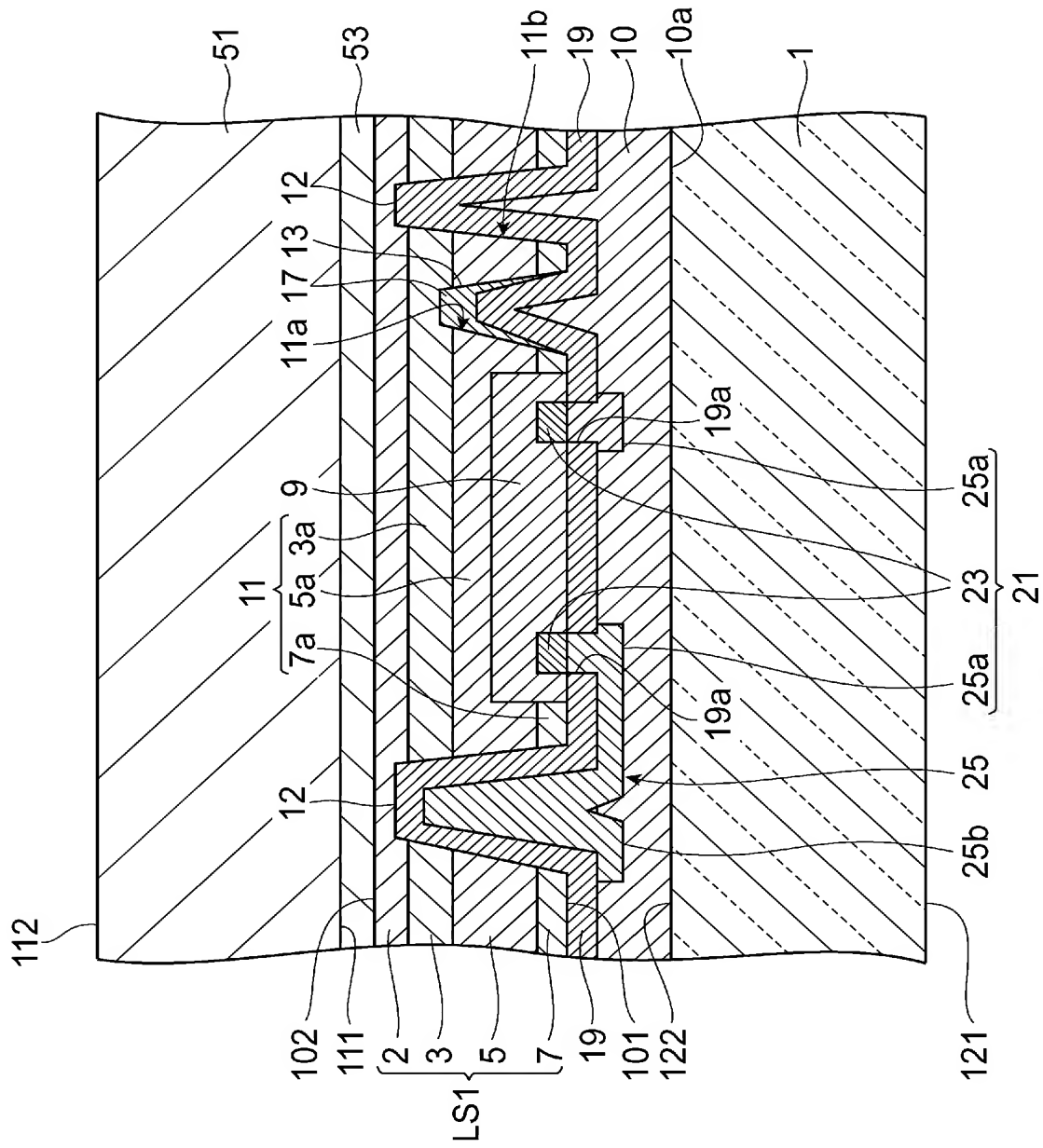
[図9]



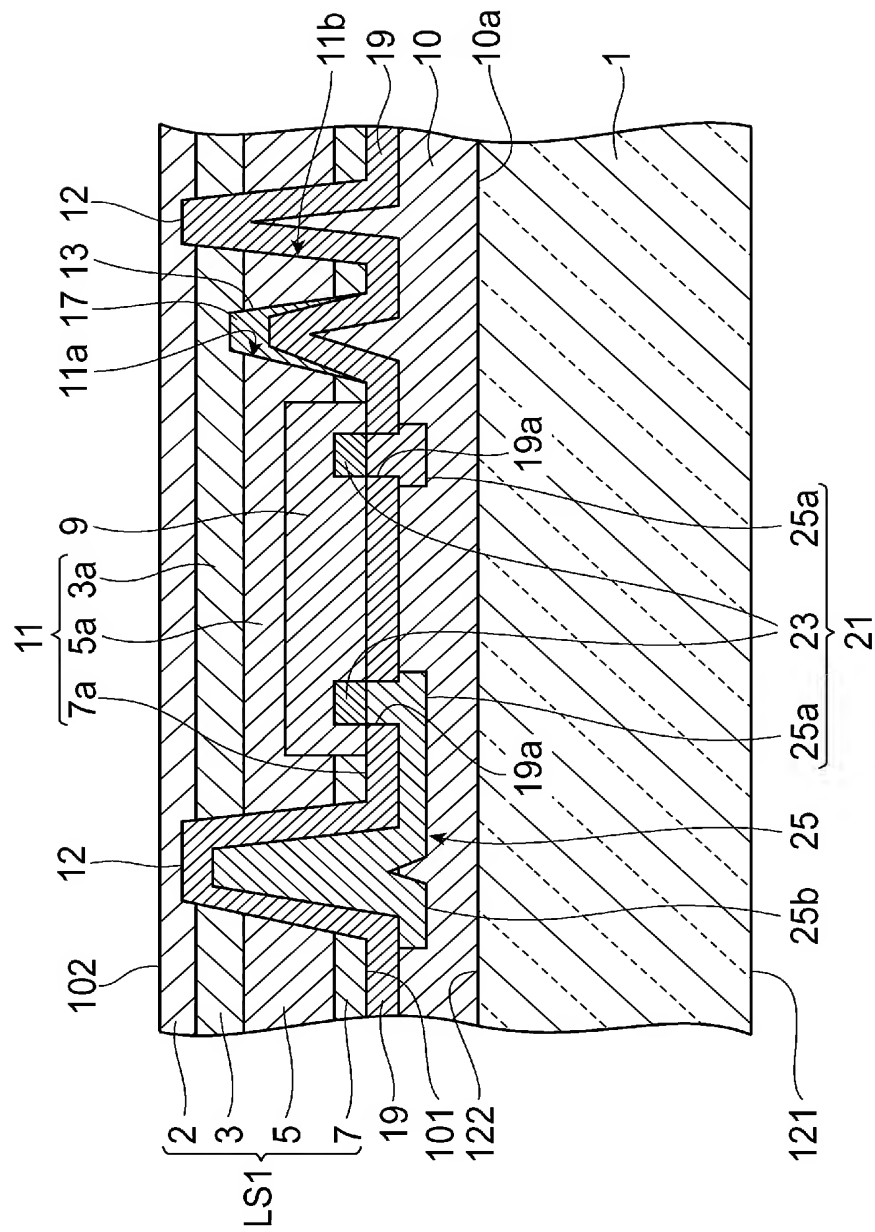
[図10]



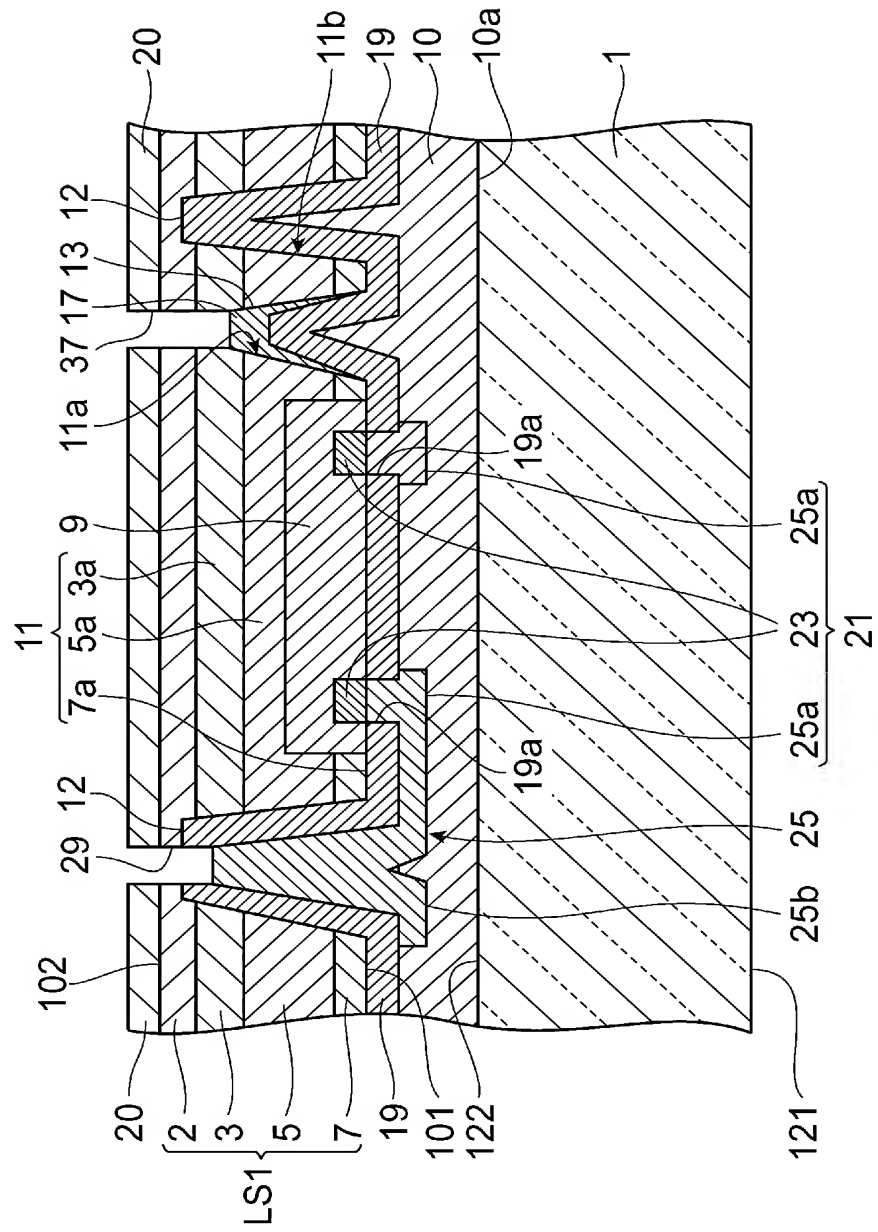
[図11]



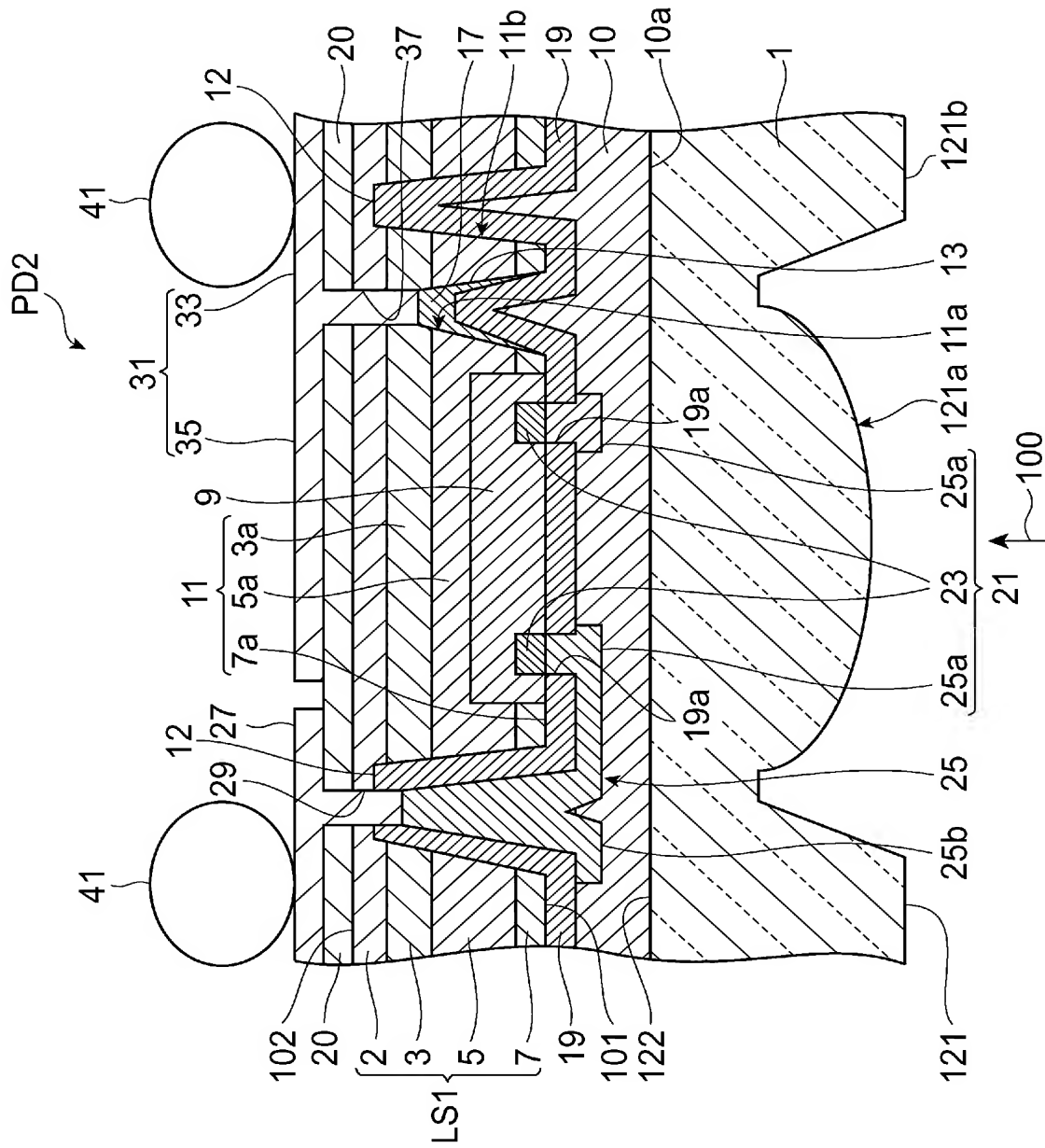
[図12]



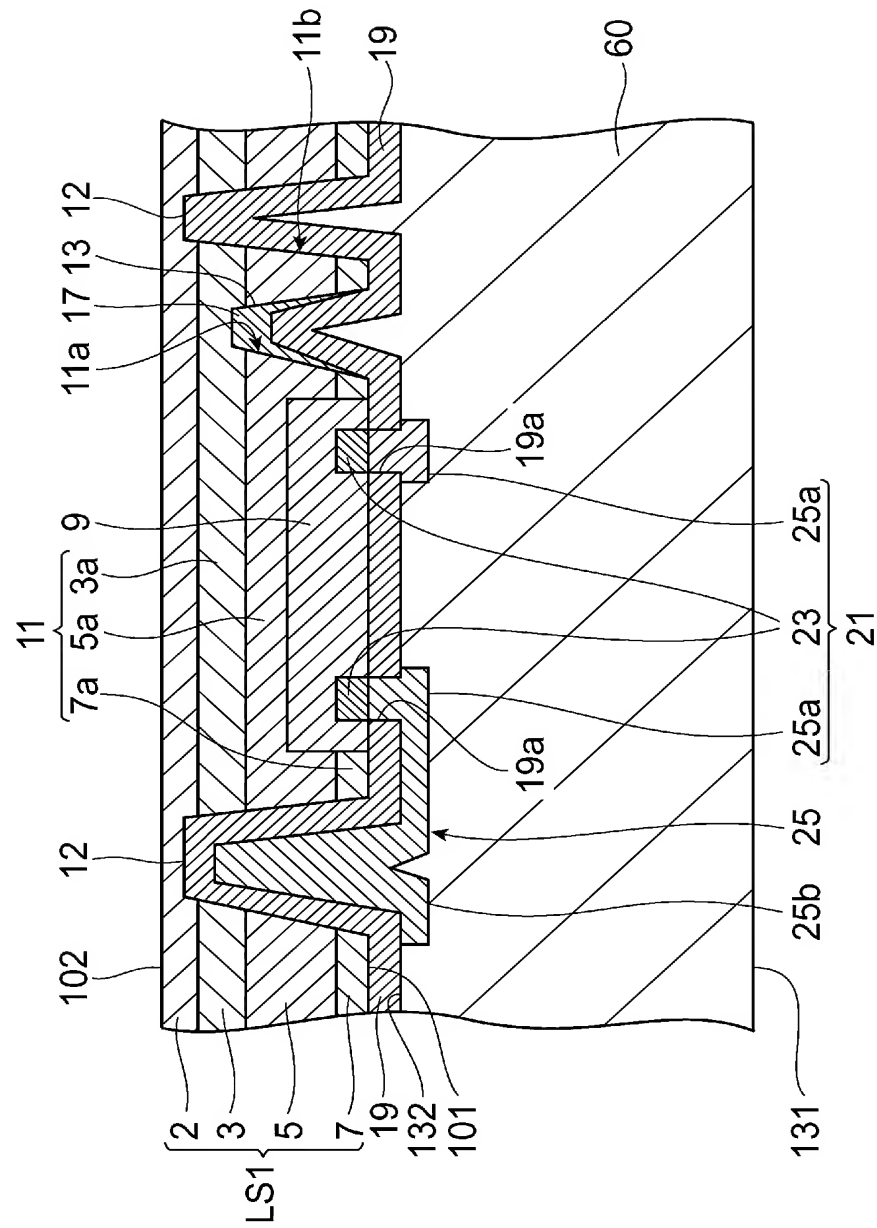
[図14]



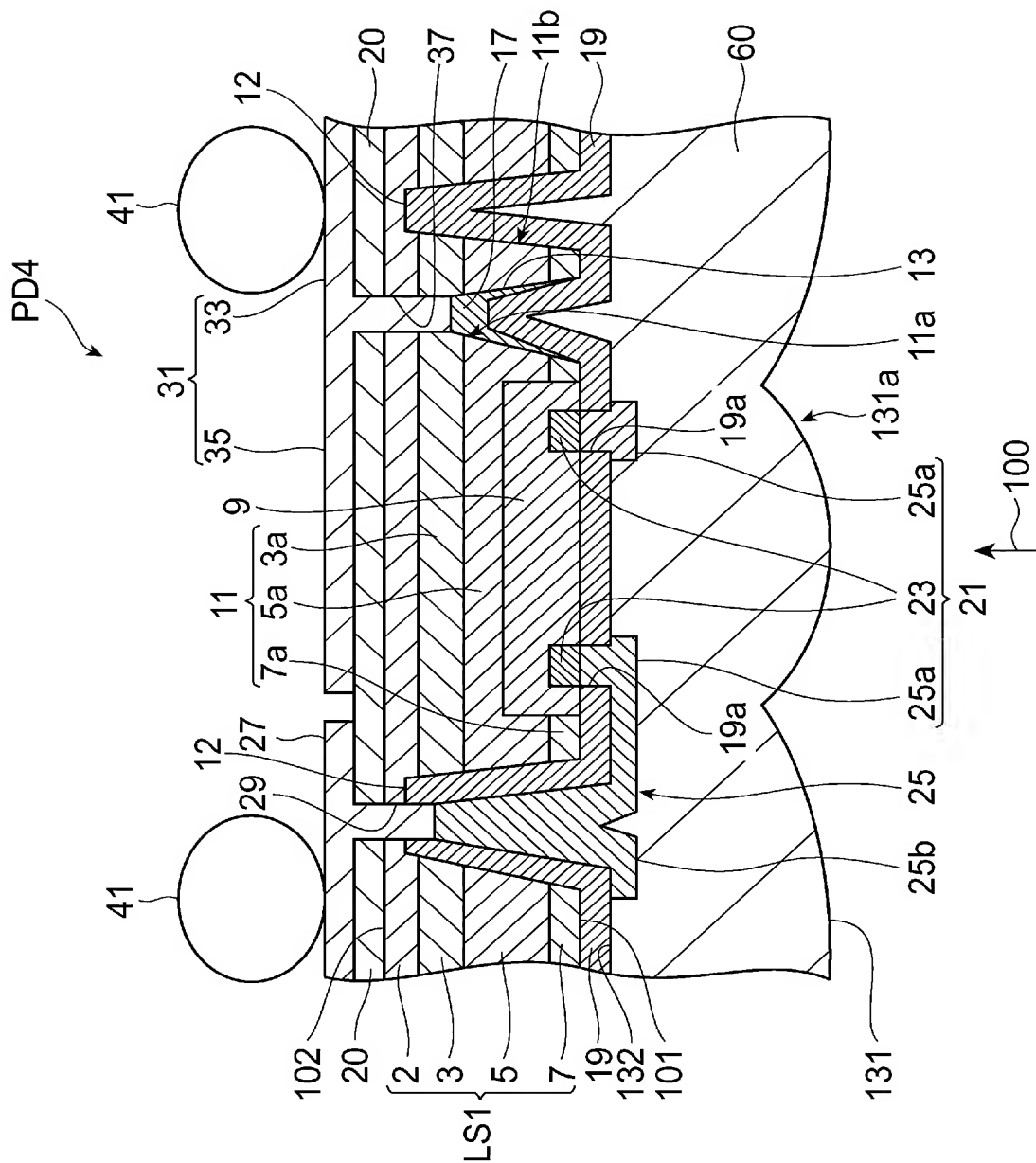
[図16]



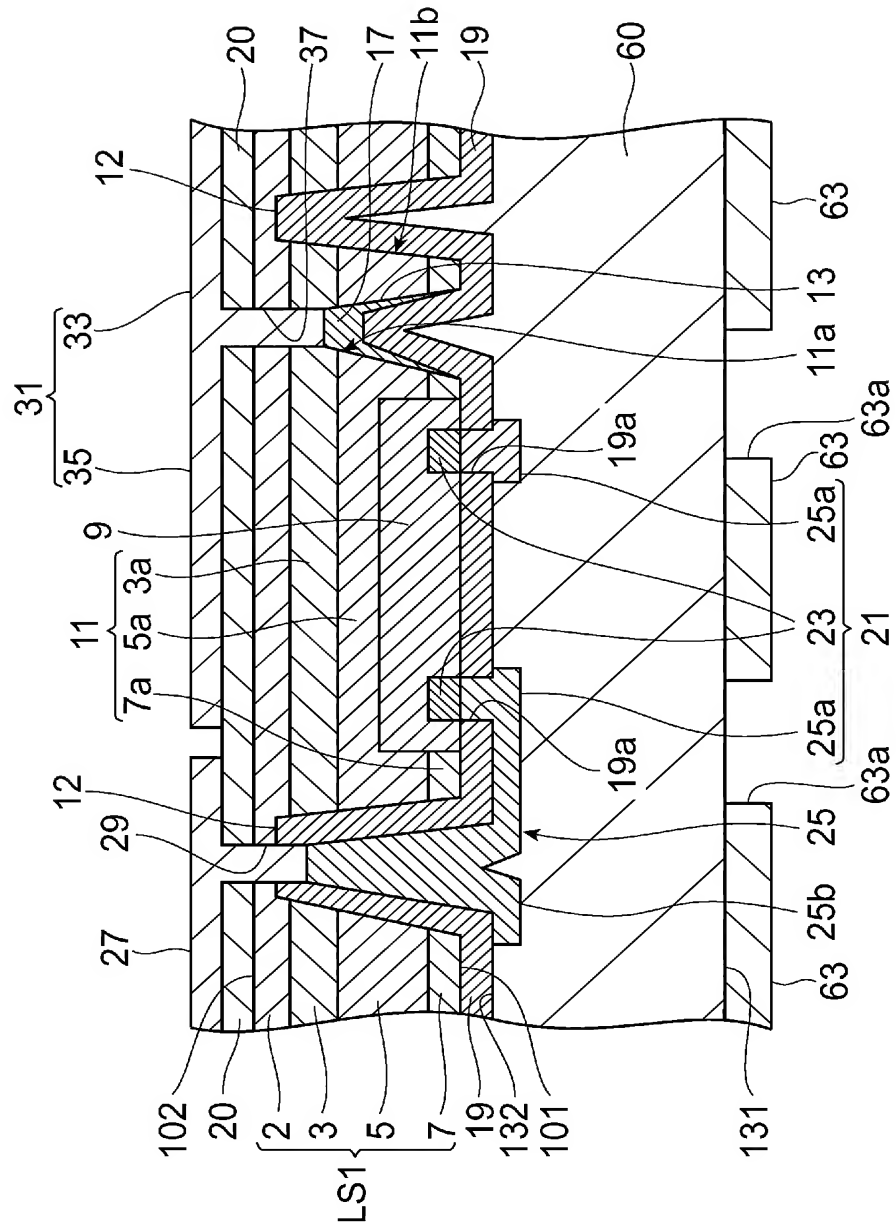
[図20]



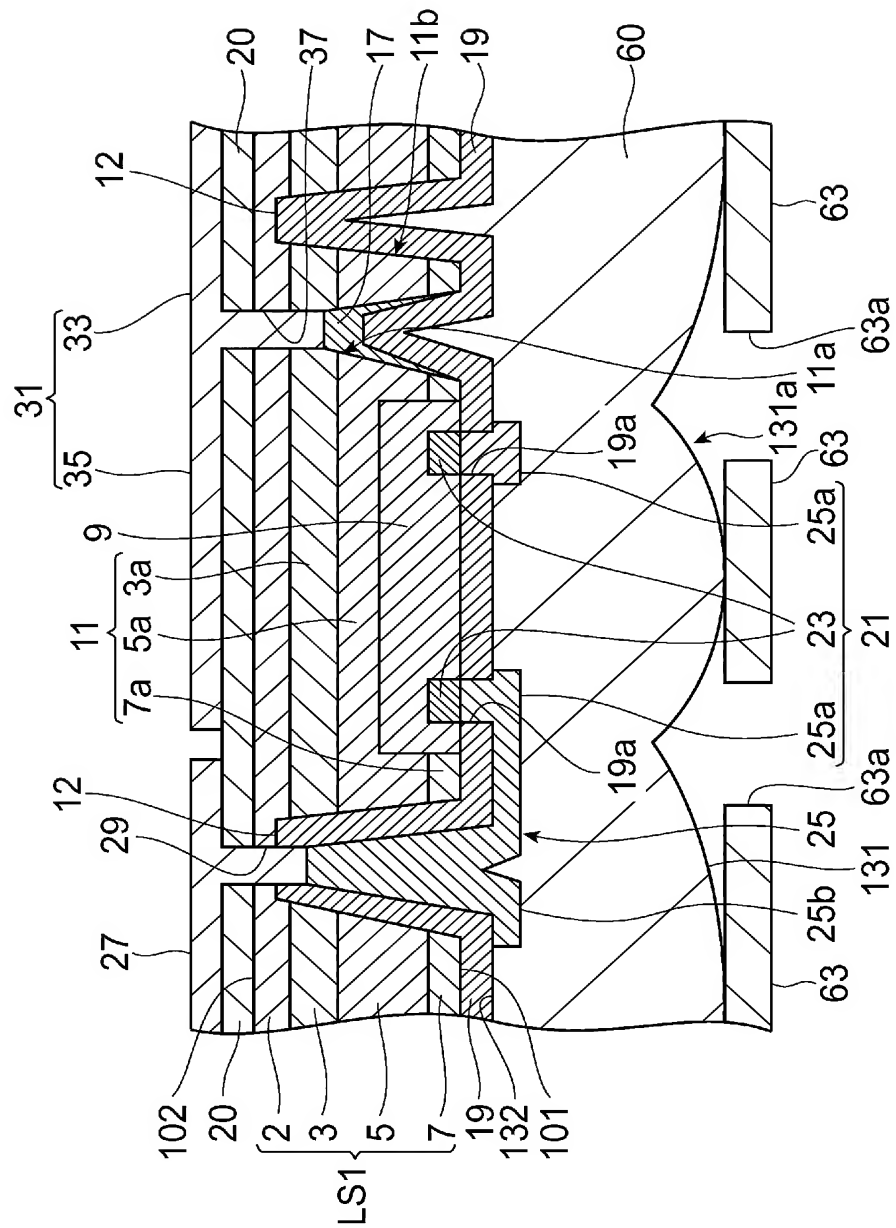
[図21]



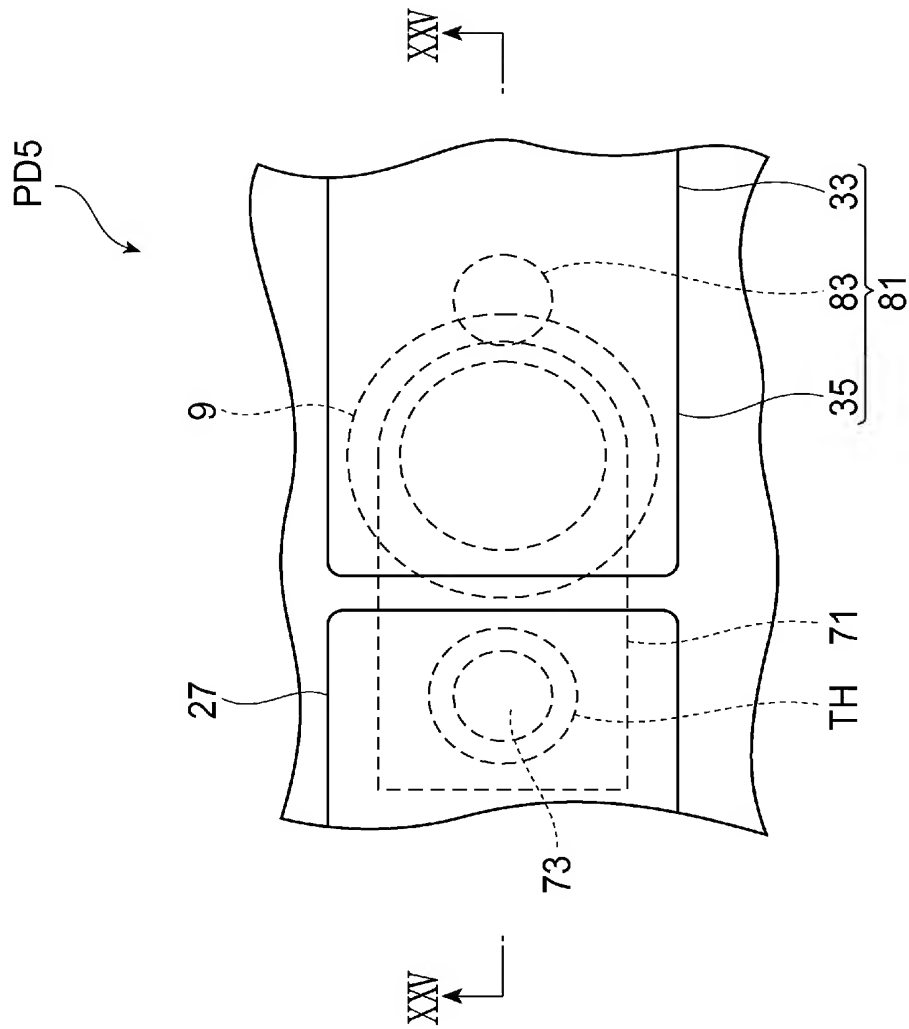
[図22]



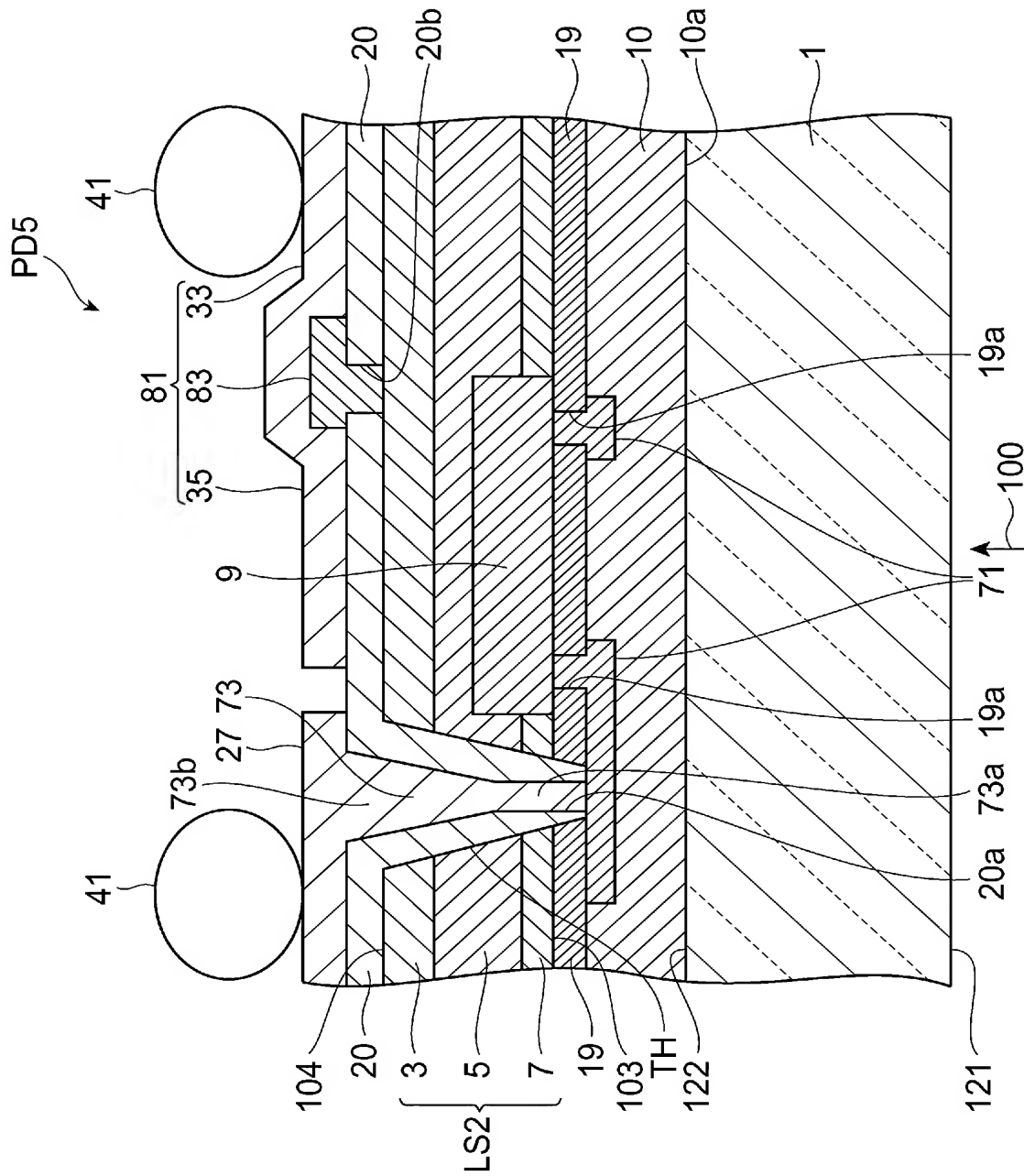
[図23]



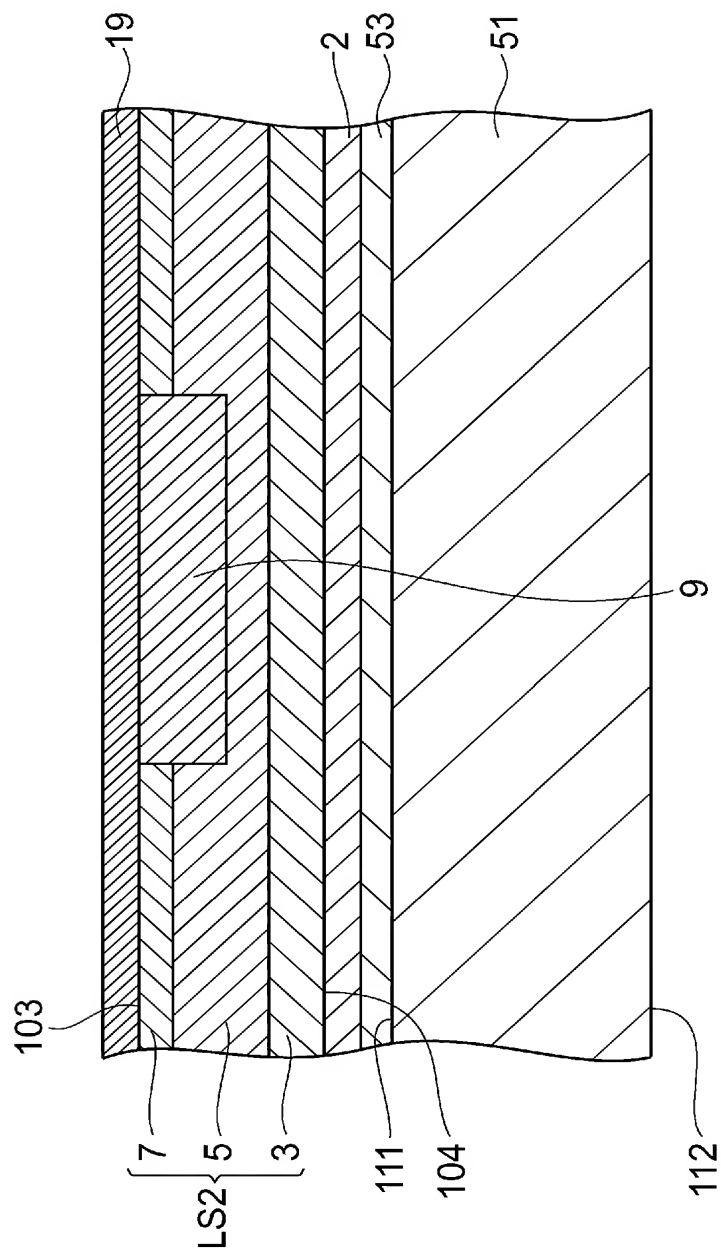
[図24]



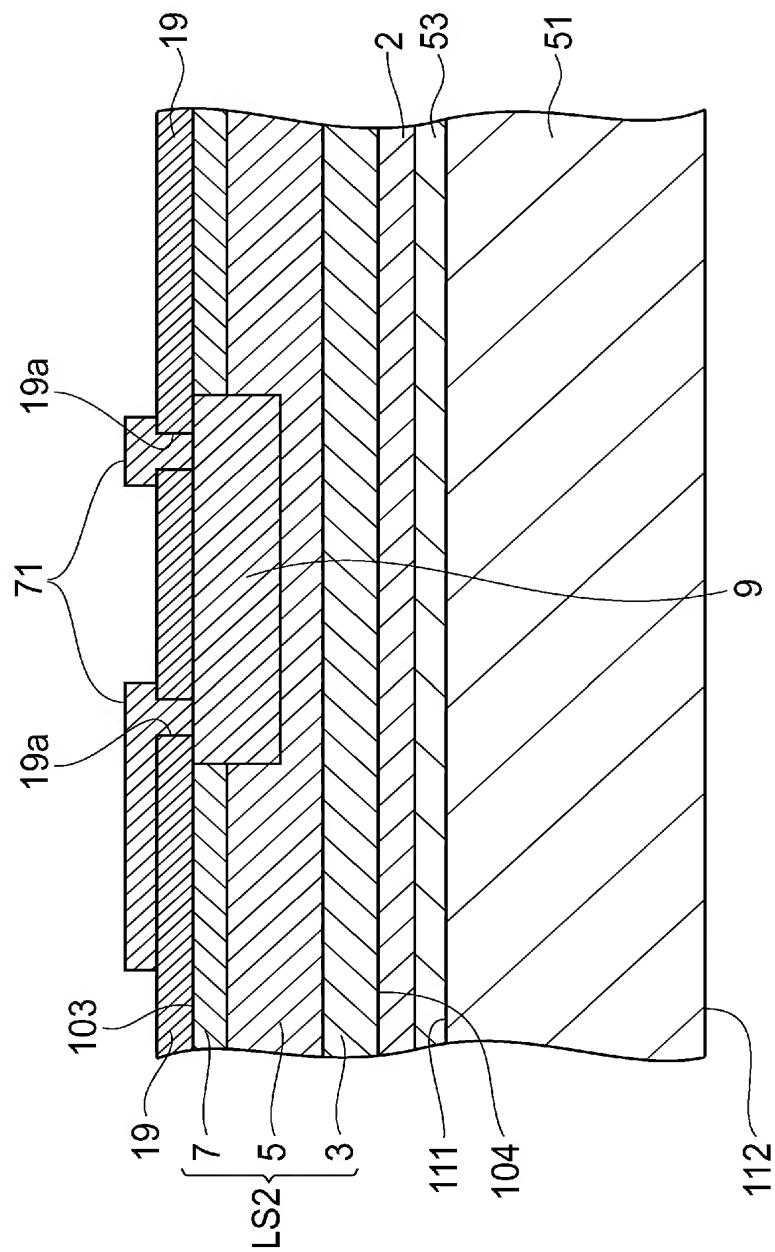
[図25]



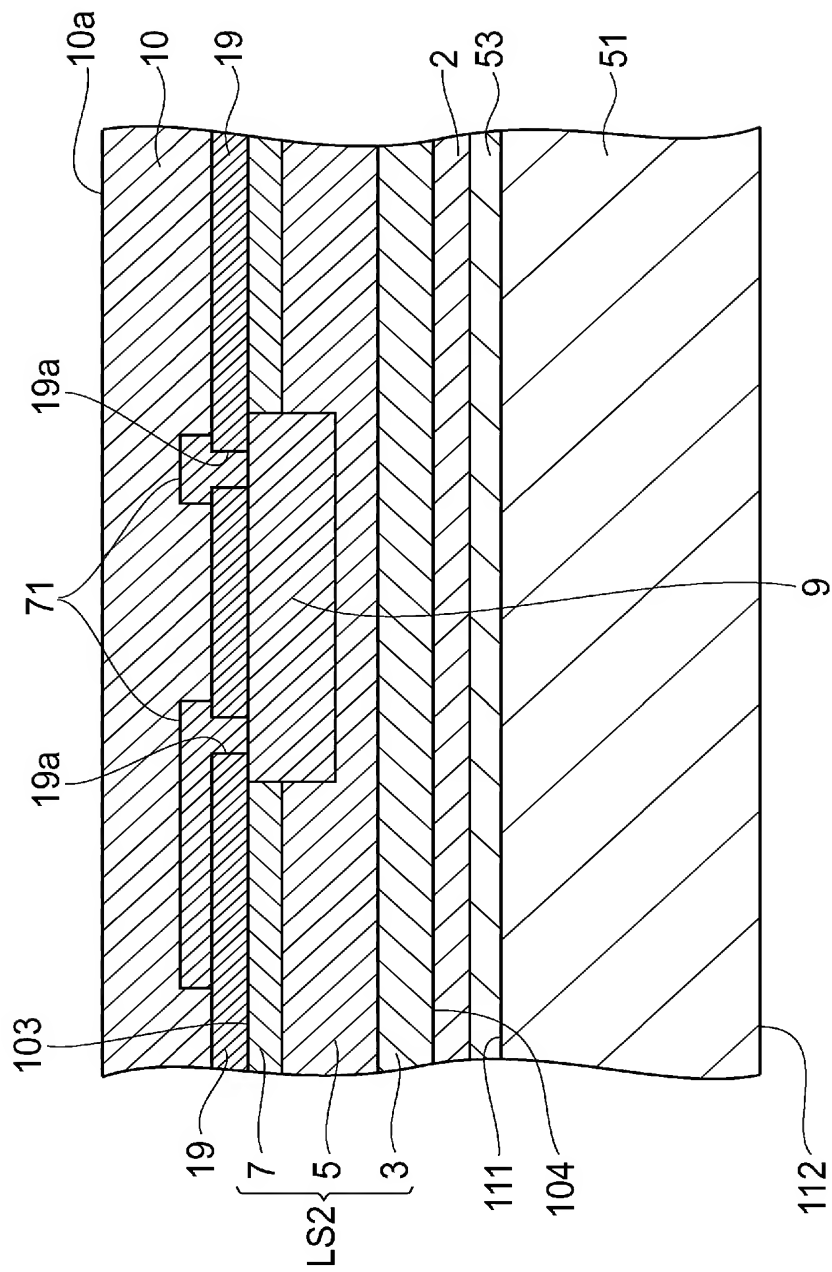
[図26]



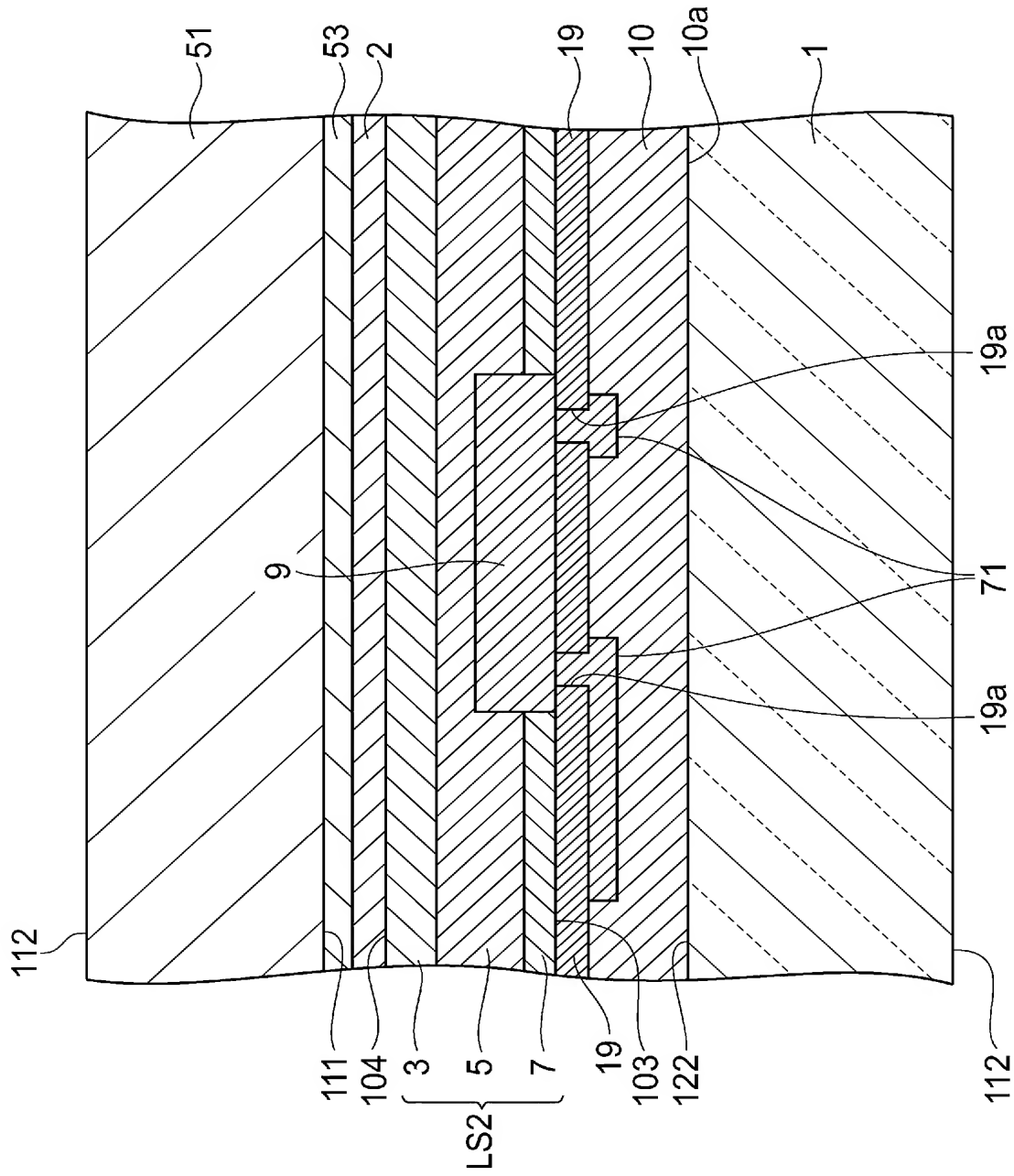
[図27]



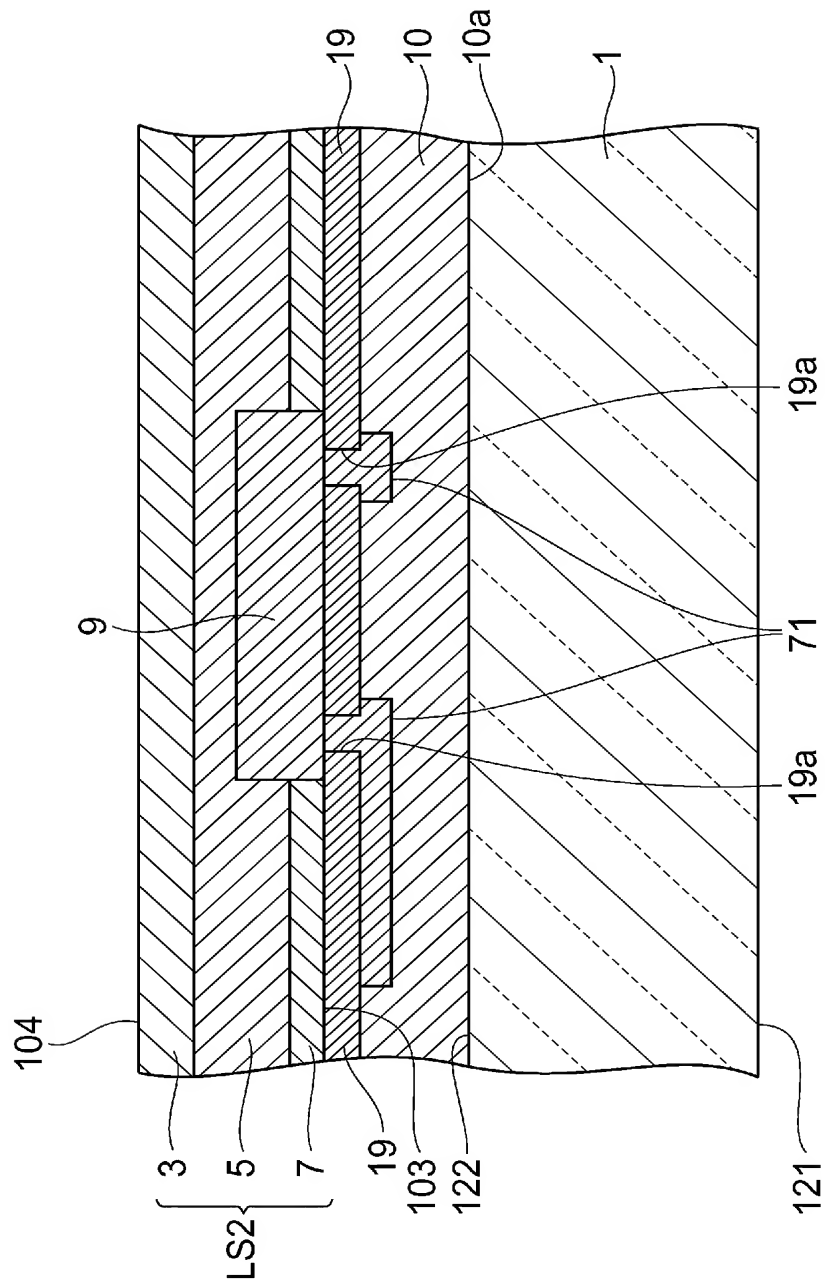
[図28]



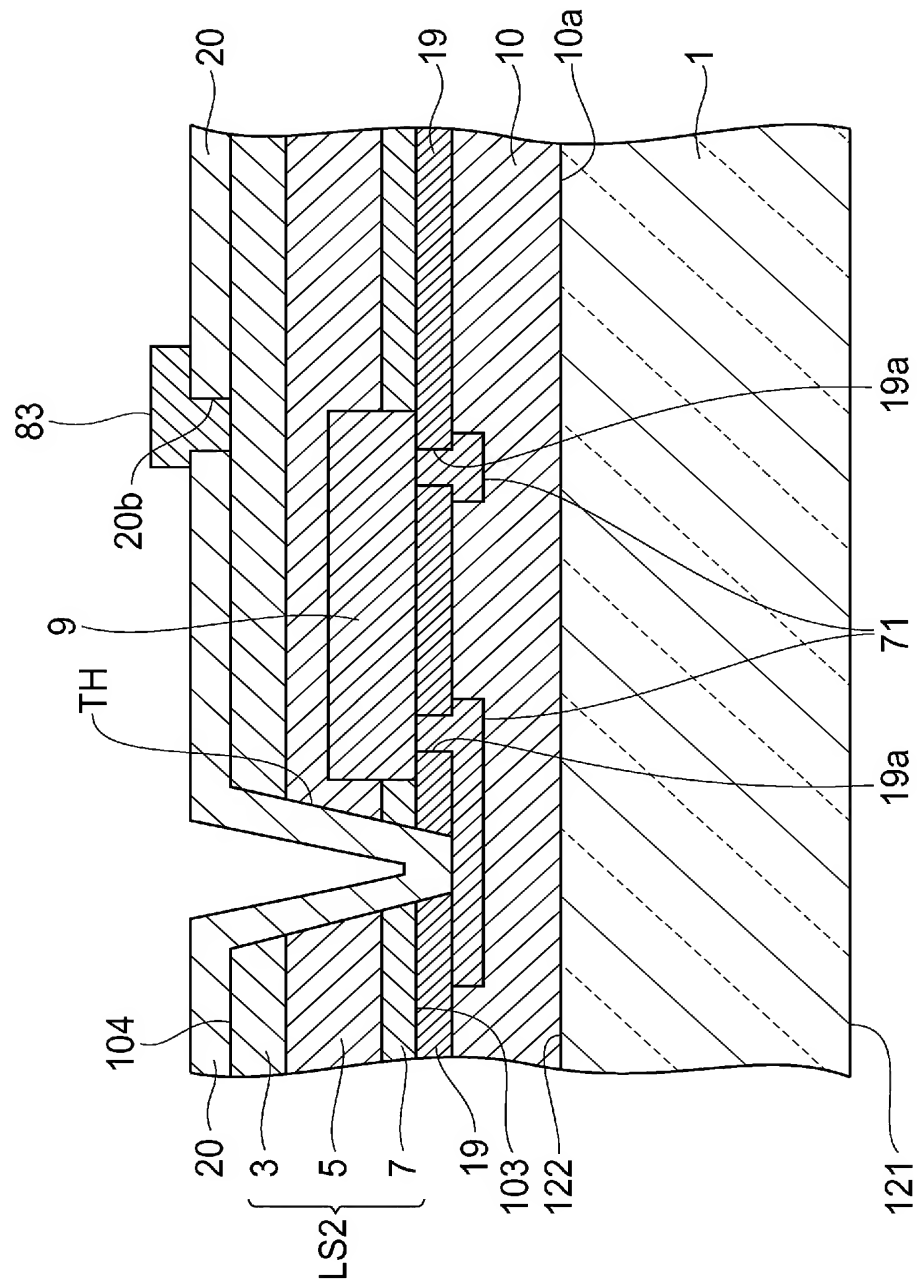
[図29]



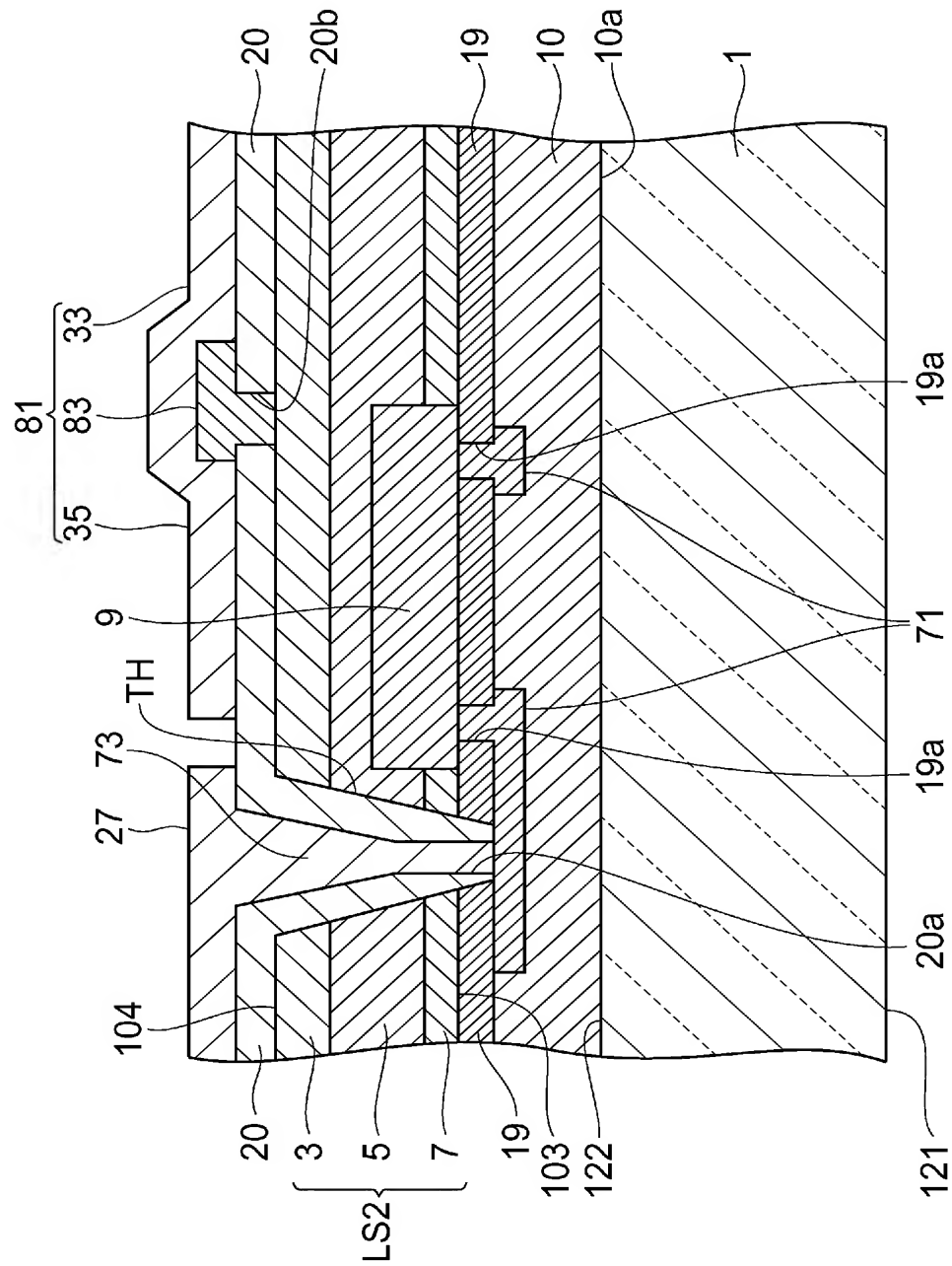
[図30]



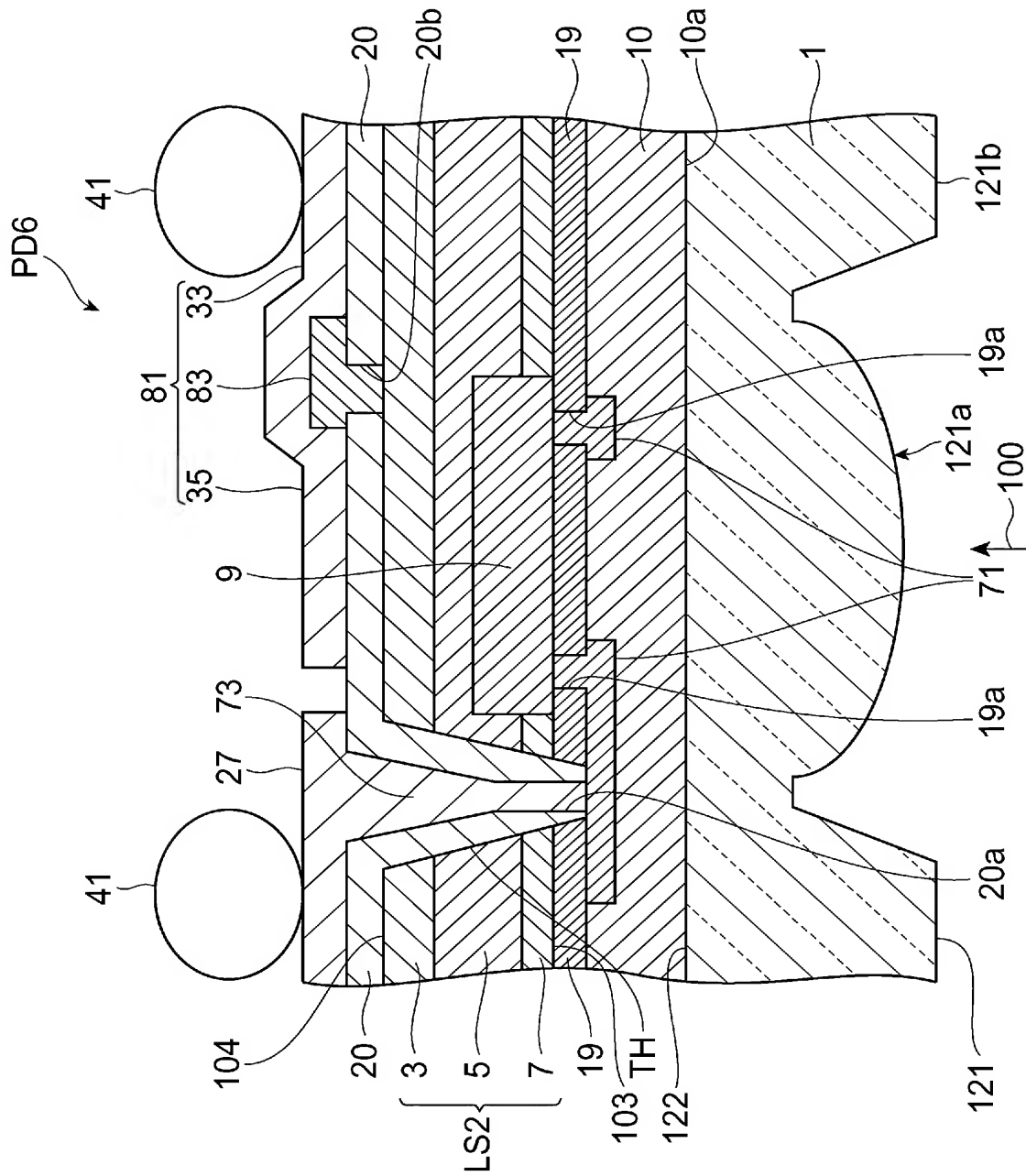
[図31]



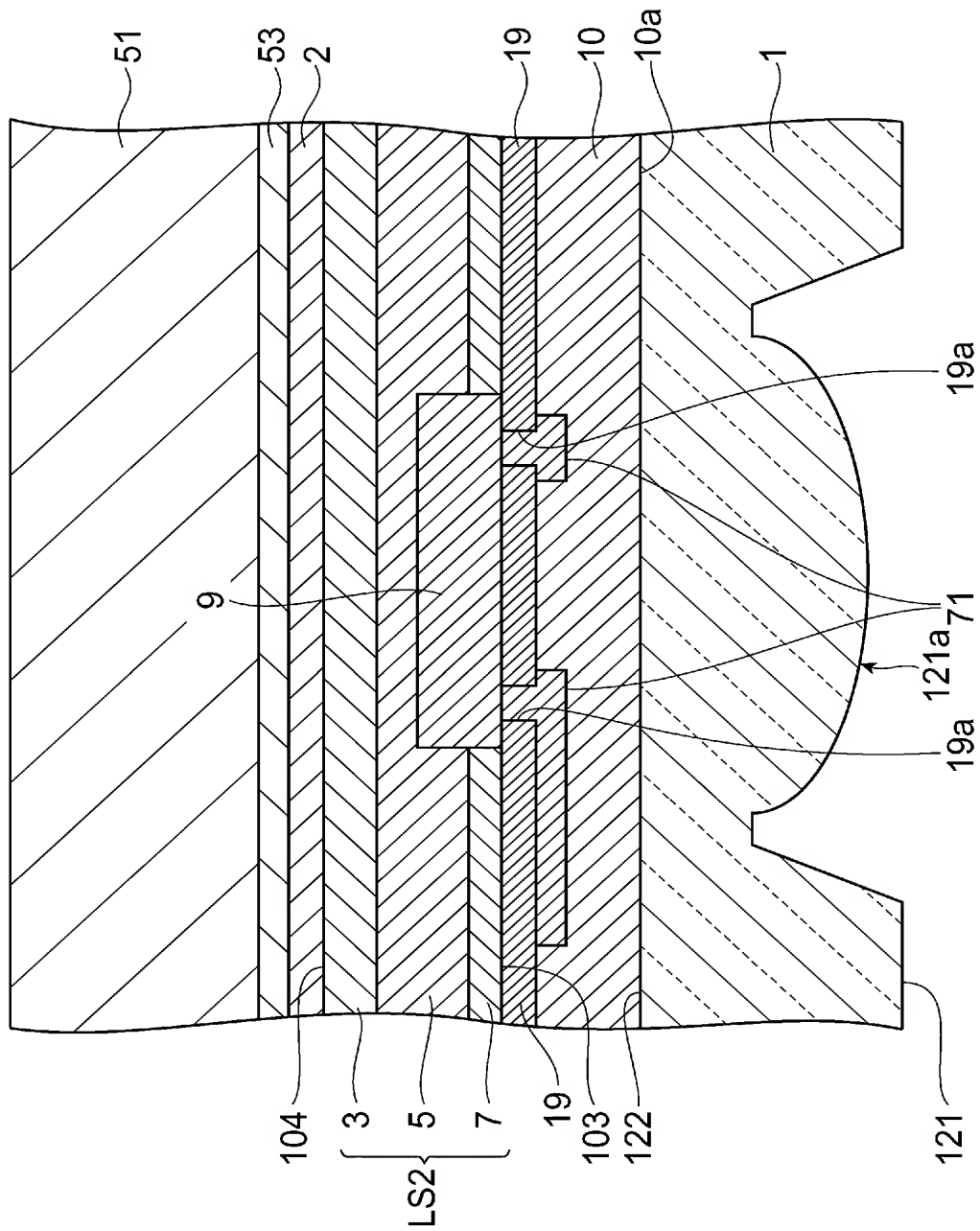
[図32]



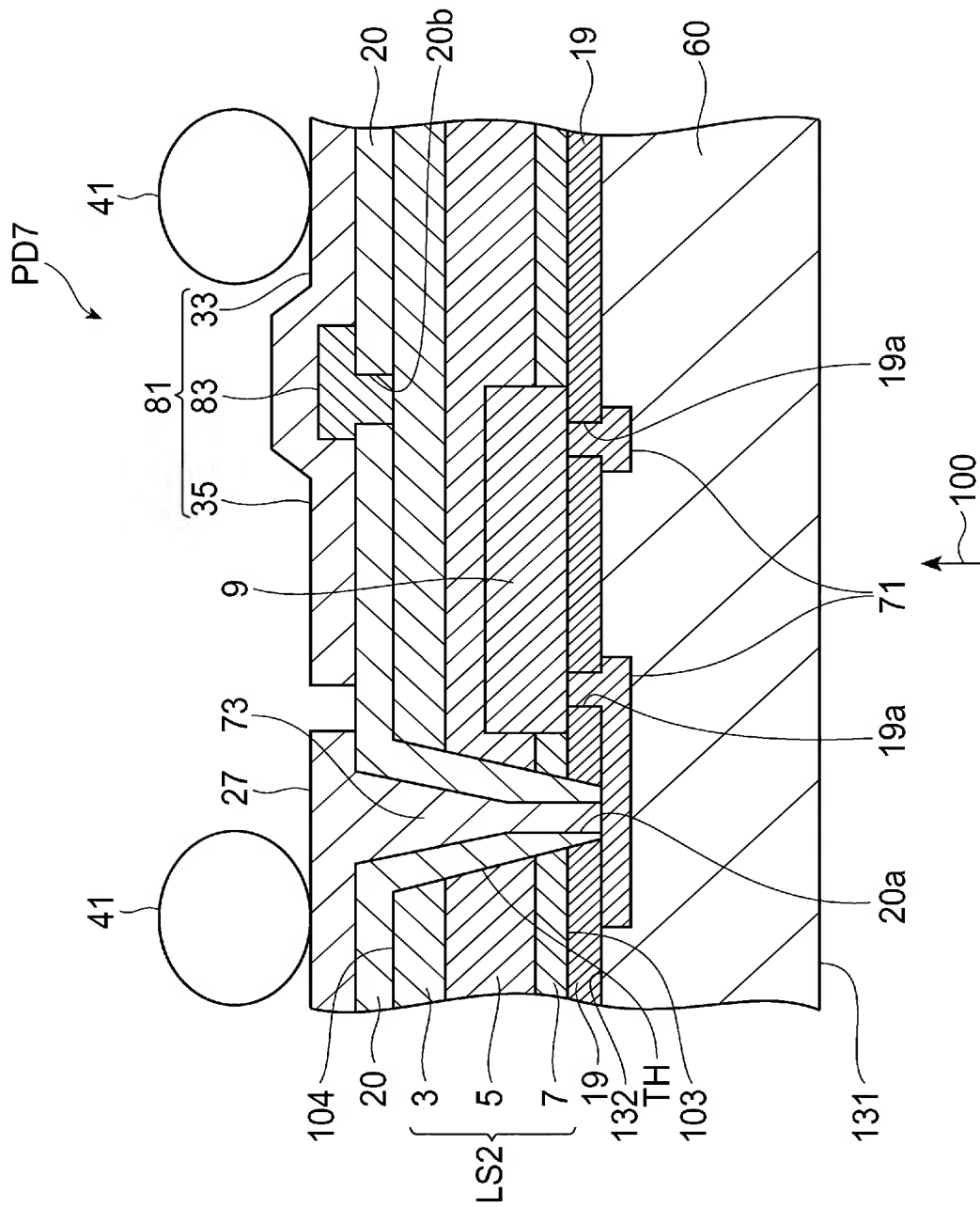
[図33]



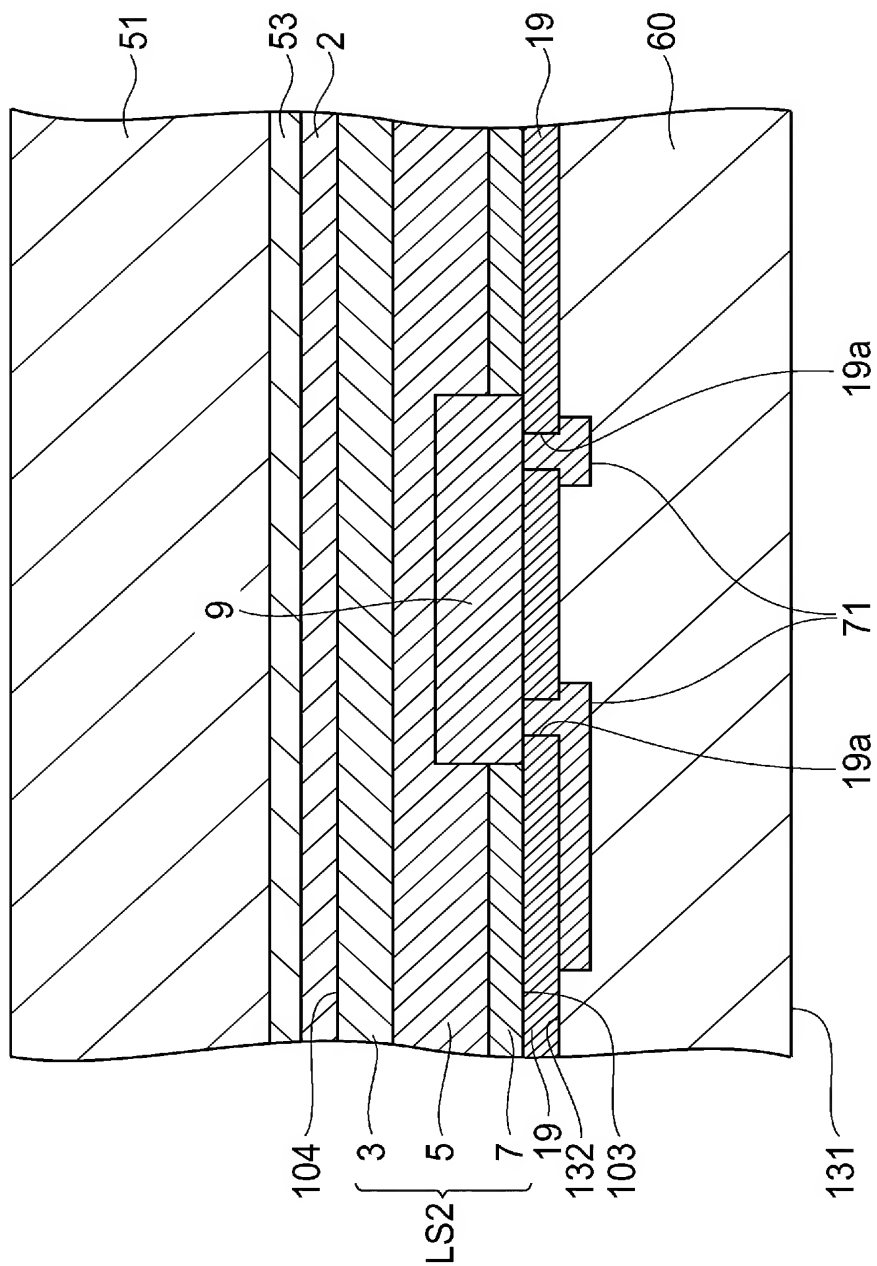
[図34]



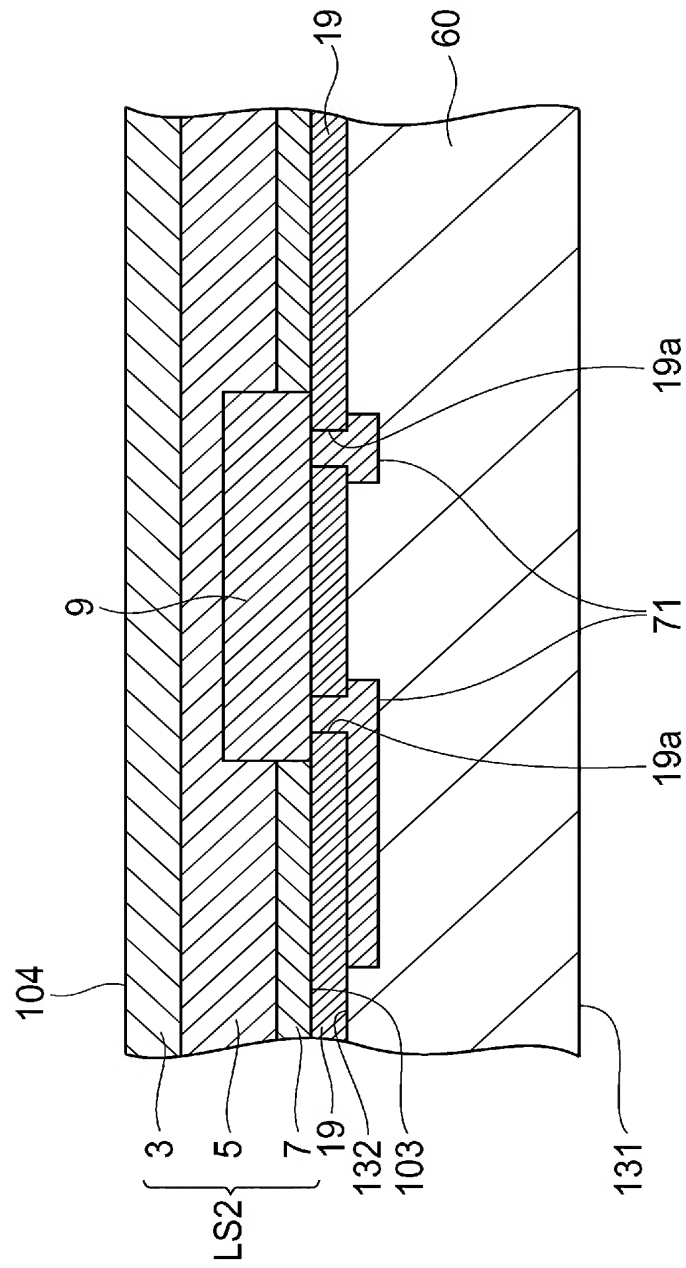
[図35]



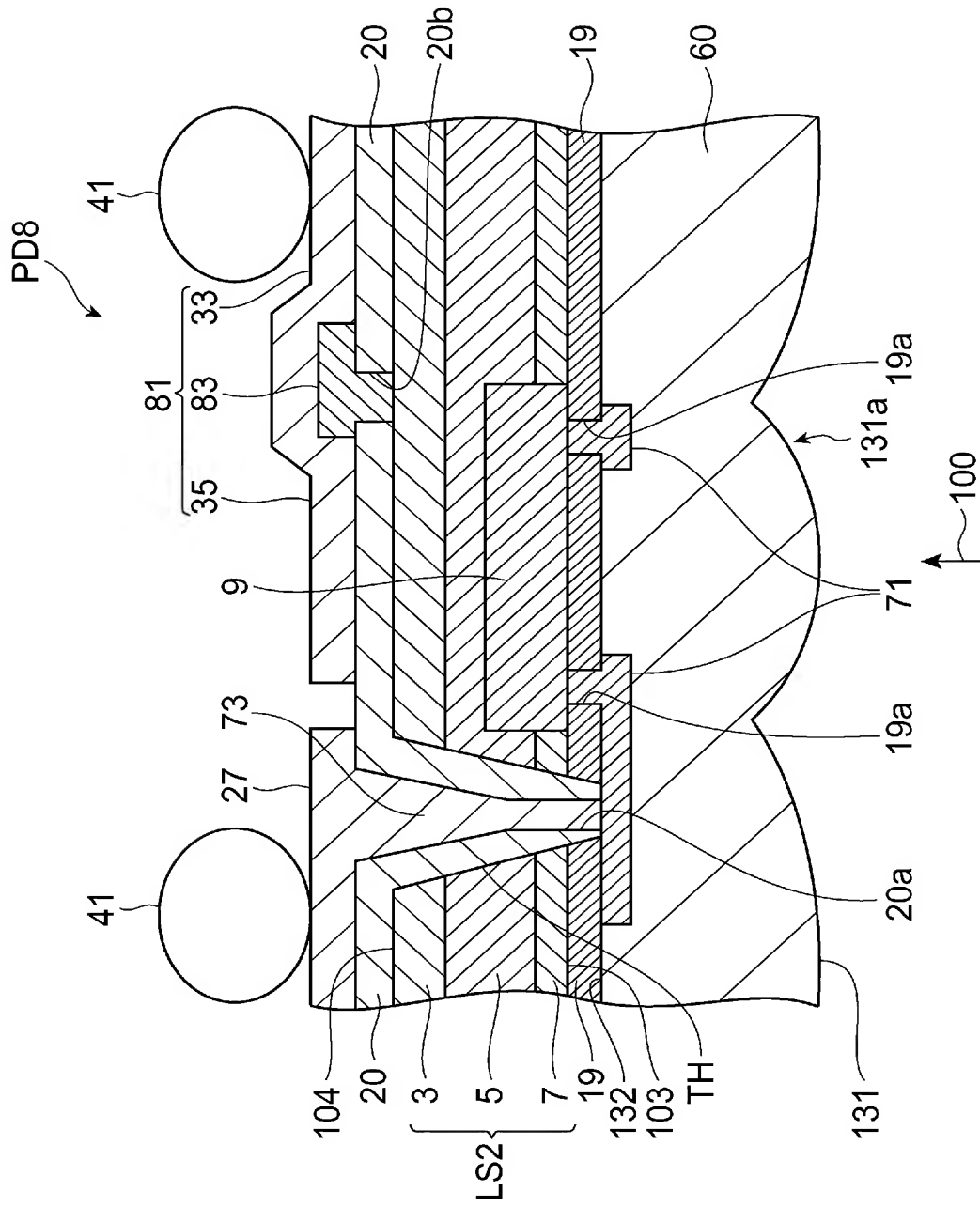
[図36]



[図37]

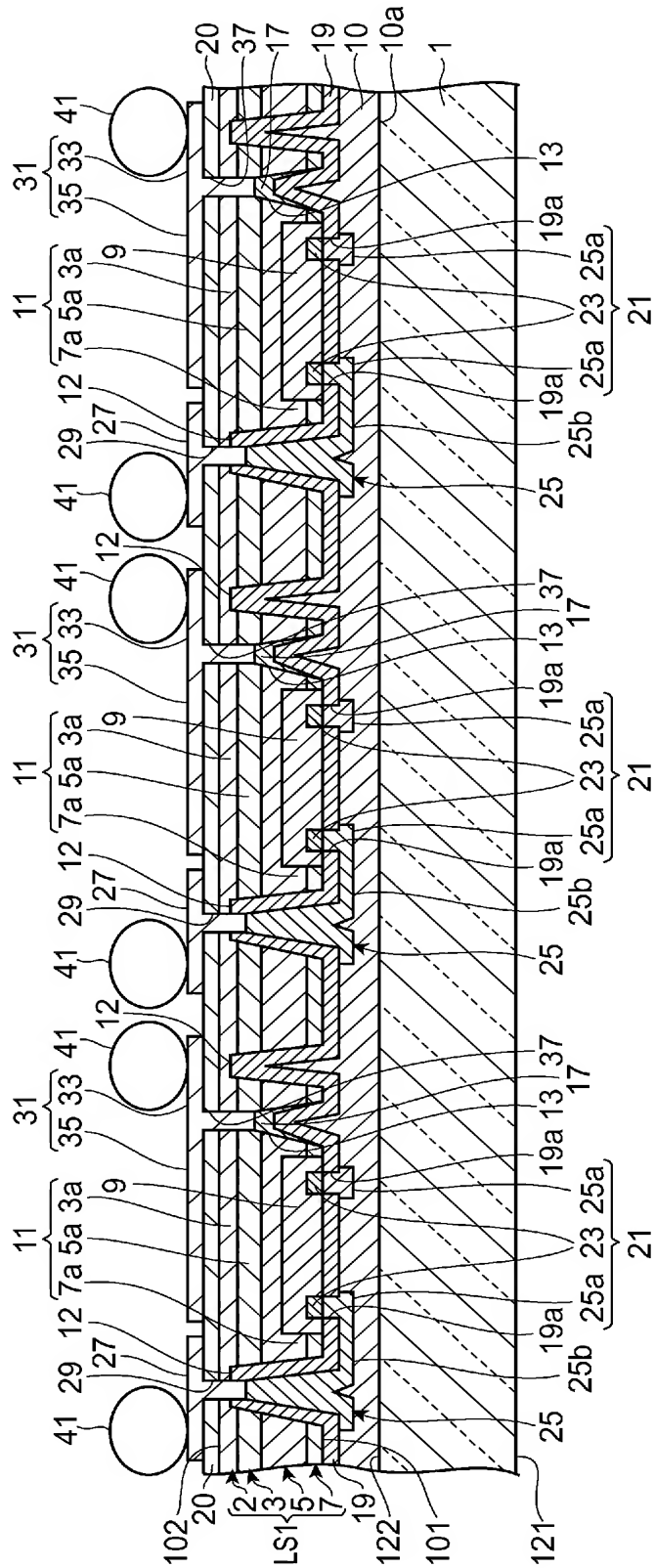


[図38]



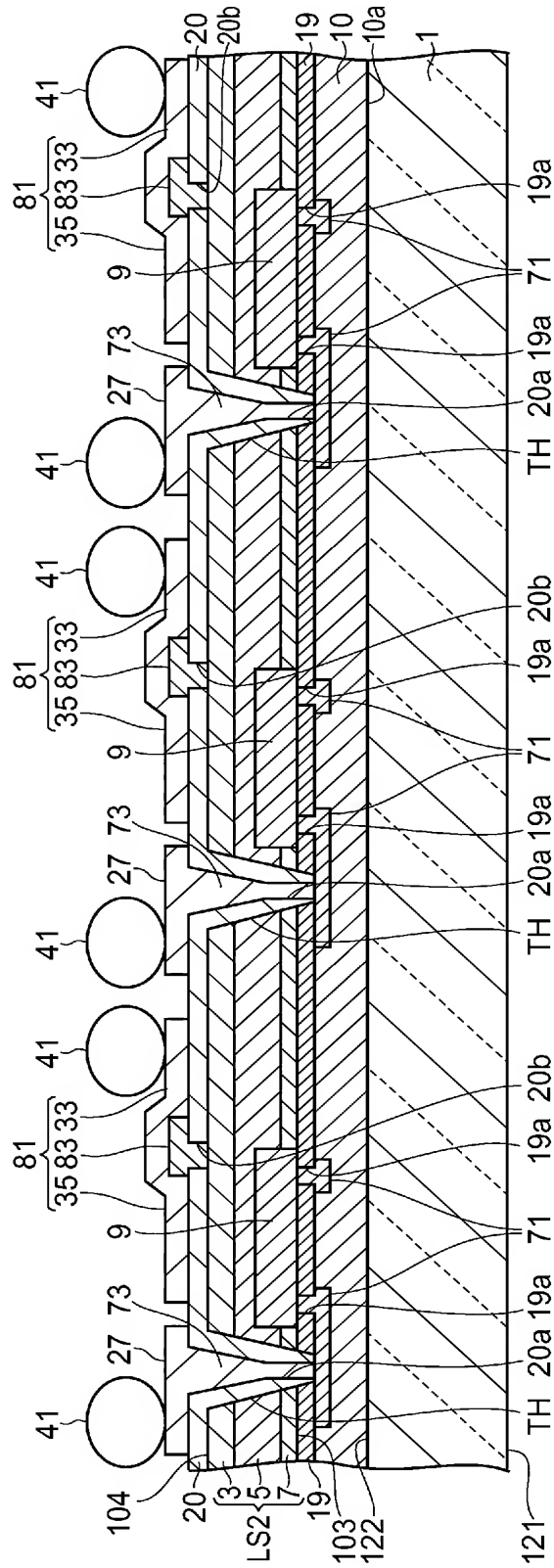
[図39]

PDA1

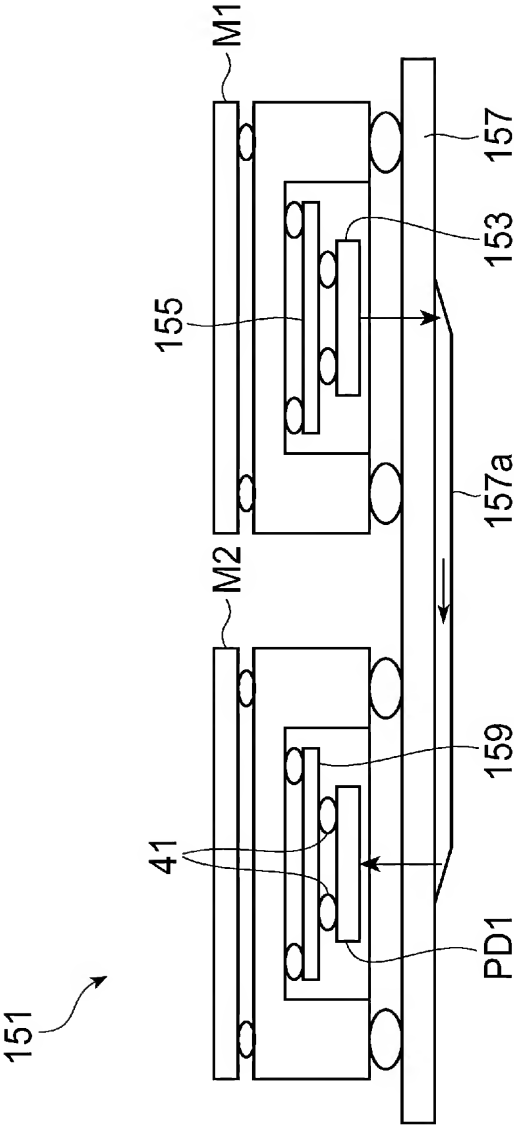


[図40]

PDA2



[図41]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005759

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L31/10, 27/14, 27/146, 31/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L31/10, 27/14, 27/146, 31/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-339057 A (Fuji Xerox Co., Ltd.), 07 December, 2001 (07.12.01), Full text; all drawings (Family: none)	1,3-8,10 2,9,11-20
X Y	WO 03/41174 A1 (Mitsumasa KOYANAGI), 15 May, 2003 (15.05.03), Full text; all drawings & EP 1453097 A1 & US 2005/29643 A1	1,3-8,10 2,9,11-20
Y	WO 02/39506 A1 (Hamamatsu Photonics Kabushiki Kaisha), 16 May, 2002 (16.05.02), Full text; all drawings & US 2005/14321 A1 & JP 2002-151732 A & AU 1275002 A & CN 1479947 A	2,9,11-20

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
13 April, 2005 (13.04.05)

Date of mailing of the international search report
10 May, 2005 (10.05.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/005759

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2002-501679 A (Koninklijke Philips Electronics N.V.), 15 January, 2002 (15.01.02), Full text; all drawings & WO 99/48156 A2 & EP 988652 A2 & US 6172408 B1	2 1, 3-20
A	WO 03/96427 A1 (Hamamatsu Photonics Kabushiki Kaisha), 20 November, 2003 (20.11.03), Full text; all drawings & US 2003/209652 A1 & AU 2003/235925 A1	1-20
A	JP 2001-267592 A (Nikon Corp.), 28 September, 2001 (28.09.01), Full text; all drawings & US 2001/026001 A1	1-20
A	JP 2000-502215 A (Doktor Johannes Heidenhain GmbH.), 22 February, 2000 (22.02.00), Full text; all drawings & WO 97/23897 A2 & EP 868751 A2 & US 6175141 B1 & DE 19549228 A1 & CN 1244949 A	1-20

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/05759

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The international search has revealed that the constitution of the invention in claim 1 is publicly known. Therefore, the constitution of the invention in claim 1 cannot be considered as a special technical feature in the meaning of PCT Rule 13.2, second sentence.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L31/10, 27/14, 27/146, 31/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L31/10, 27/14, 27/146, 31/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2001-339057 A(富士ゼロックス株式会社)2001. 12. 07 全文, 全図 (ファミリーなし)	1, 3-8, 10 2, 9, 11-20
X Y	WO 03/41174 A1(小柳光正)2003. 05. 15 全文, 全図 & EP 1453097 A1 & US 2005/29643 A1	1, 3-8, 10 2, 9, 11-20
Y	WO 02/39506 A1 (浜松ホトニクス株式会社)2002. 05. 16 全文, 全図 & US 2005/14321 A1 & JP 2002-151732 A & AU 1275002 A & CN 1479947 A	2, 9, 11-20

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

13. 04. 2005

国際調査報告の発送日

10. 5. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

道祖土 新吾

2K

9814

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2002-501679 A(コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ)2002.01.15, 全文, 全図 & WO 99/48156 A2 & EP 988652 A2 & US 6172408 B1	2 1, 3-20
A	WO 03/96427 A1(浜松ホトニクス株式会社) 2003.11.20 全文, 全図 & US 2003/209652 A1 & AU 2003/235925 A1	1-20
A	JP 2001-267592 A(株式会社ニコン)2001.09.28 全文, 全図 & US 2001/026001 A1	1-20
A	JP 2000-502215 A(ドクトル ヨハネス ハイデンハイン ゲゼルシ ャフト ミット ベシュレンクテル ハフツング)2000.02.22 全文, 全図 & WO 97/23897 A2 & EP 868751 A2 & US 6175141 B1 & DE 19549228 A1 & CN 1244949 A	1-20

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求の範囲1に記載される発明の構成は、調査の結果、公知であることが判明した。したがって、請求の範囲1に記載される発明の構成は、PCT規則13.2の第2文の意味において、特別な技術的特徴ではないものと認められる。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。